

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-30861

(43)公開日 平成7年(1995)1月31日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/01

G 6942-5C

7/24

H 0 4 N 7/ 13

Z

審査請求 未請求 請求項の数10 O L (全 19 頁)

(21)出願番号

特願平5-172925

(22)出願日

平成5年(1993)7月13日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 藤井 明宏

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 ▲吉▼田 哲雄

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

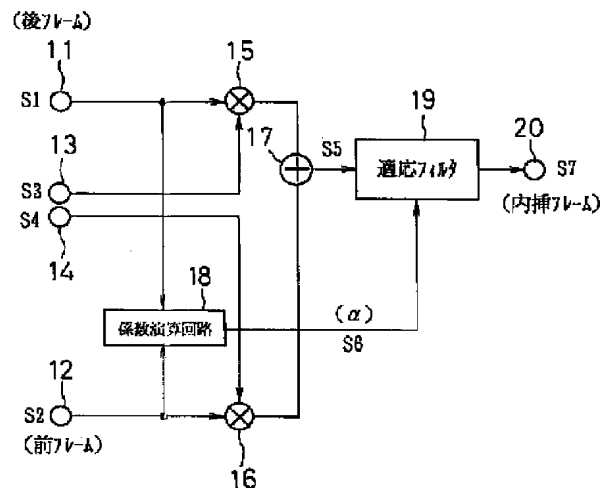
(74)代理人 弁理士 工藤 宣幸 (外2名)

(54)【発明の名称】 映像信号変換装置、映像信号内挿装置及び飛越し走査変換装置

(57)【要約】

【目的】 フレーム間内挿処理によって、内挿フレームを生成する場合において、映像信号の部分的な崩れや計算量の増大を招くことなく、動く部分のジャーキネスや二重見えを目立たなくする。

【構成】 映像信号S1、S2は、乗算器15、16と加算器17からなる線形内挿部に供給され、重み係数に基づいて荷重加算される。これにより、内挿フレームの映像信号S5が得られる。また、映像信号S1、S2は、係数演算回路18に供給される。この係数演算回路18は、映像信号S1、S2の差分値を検出し、この差分値に応じた値 α を有する係数信号S6を生成する。上記内挿映像信号S5は、適応フィルタ19に供給され、係数信号S6に基づいて、空間解像度を制御される。この場合、空間解像度は、上記差分値の絶対値が大きいほど低下するように制御される。



映像信号内挿装置の第1の実施例のブロック図

【特許請求の範囲】

【請求項1】 映像信号の時間軸方向の差分値を検出し、この差分値に基づいて、前記映像信号の空間解像度を制御するための制御信号を生成する制御信号生成手段と、

この制御信号生成手段により生成された制御信号に基づいて、前記差分値が大きいほど、前記映像信号の空間解像度が低下するように、この映像信号の空間解像度を制御する空間解像度制御手段とを具備したことを特徴とする映像信号変換装置。

【請求項2】 前記制御信号生成手段は、前記映像信号の時間軸方向の差分値を検出する差分値検出手段と、

この差分値検出手段で検出された差分値の絶対値を算出する絶対値算出手段と、

この絶対値算出手段で算出された絶対値を所定の変換特性に基づいて変換することにより、前記制御信号を生成する変換手段とを具備するように構成されていることを特徴とする請求項1記載の映像信号変換装置。

【請求項3】 前記空間解像度制御手段は、前記映像信号を遅延することにより、空間解像度の制御対象となる制御対象画素の映像信号とこの画素の周辺に位置する周辺画素の映像信号を同時に出力する遅延手段と、

この遅延手段から出力される前記制御対象画素の映像信号と前記周辺画素の映像信号の平均値を算出する平均値算出手段と、

この平均値算出手段の算出出力と前記遅延手段から出力される前記制御対象画素の映像信号を前記制御信号生成手段により生成された制御信号に基づいて、荷重加算することにより、空間解像度が制御された映像信号を出力する荷重加算手段とを具備するように構成されていることを特徴とする請求項1記載の映像信号変換装置。

【請求項4】 内挿処理により、映像信号の時間軸方向の周波数を変換するための内挿映像信号を生成する映像信号内挿装置において、前記内挿映像信号を生成するための映像信号から、時間軸方向の線形内挿処理により、前記内挿映像信号を生成する線形内挿手段と、

前記内挿映像信号を生成するための映像信号の時間軸方向の差分値を検出し、この差分値に基づいて、前記内挿映像信号の空間解像度を制御するための制御信号を生成する制御信号生成手段と、

この制御信号生成手段により生成された制御信号に基づいて、前記差分値が大きいほど、前記内挿映像信号の空間解像度が低下するように、前記内挿映像信号の空間解像度を制御する空間解像度制御手段とを具備したことを特徴とする映像信号内挿装置。

【請求項5】 前記空間解像度制御手段は、前記内挿映像信号の空間解像度を直接制御するように構成されてい

ることを特徴とする請求項4記載の映像信号内挿装置。

【請求項6】 前記空間解像度制御手段は、前記内挿映像信号を生成するための映像信号の空間解像度を制御することにより、前記内挿映像信号の空間解像度を間接的に制御するように構成されていることを特徴とする請求項4記載の映像信号内挿装置。

【請求項7】 前記内挿映像信号を生成するための映像信号は、前記線形内挿手段に入力される映像信号であることを特徴とする請求項6記載の映像信号内挿装置。

10 【請求項8】 前記内挿映像信号を生成するための映像信号は、前記線形内挿手段により、時間軸方向の重み係数を掛け合わされた映像信号であることを特徴とする請求項6記載の映像信号内挿装置。

【請求項9】 前記空間解像度制御手段は、前記線形内挿手段の入力信号を遅延することにより、空間解像度の制御対象となる制御対象画素の映像信号とこの画素の周辺に位置する周辺画素の映像信号を同時に出力する遅延手段と、

20 この遅延手段から出力される前記制御対象画素の映像信号と前記周辺画素の映像信号の平均値を算出する平均値算出手段と、

この平均値算出手段の算出出力と前記遅延手段から出力される前記制御対象画素の映像信号を前記制御信号生成手段から出力される制御信号に基づいて、荷重加算する荷重加算手段とを具備するように構成され、

前記制御信号生成手段は、前記遅延手段から出力される前記制御対象画素の映像信号の差分値を、前記内挿映像信号を生成するための映像信号の差分値として検出するように構成されていることを特徴とする請求項6記載の映像信号内挿装置。

30 【請求項10】 フレーム周波数が変換先のフィールド周波数より小さい順次走査映像信号を飛越し走査映像信号に変換する飛越し走査変換装置において、前記順次走査信号のフレーム間の差分値を検出し、この差分値に基づいて、前記順次走査信号の空間解像度を制御するための制御信号を生成する制御信号生成手段と、この制御信号生成手段により生成された制御信号に基づいて、前記差分値が大きくなるほど、前記順次走査信号の空間解像度が低下するように、この順次走査信号の空間解像度を制御する空間解像度制御手段と、

前記順次走査信号から、2次元空間のフィルタリング処理により、前記飛越し走査信号を生成するものであって、少なくとも、一方のフィールドの映像信号の生成に、前記空間解像度制御手段により空間解像度を制御された順次走査信号を使用する飛越し走査信号生成手段とを具備したことを特徴とする飛越し走査変換装置。

【発明の詳細な説明】

【0001】

40 【産業上の利用分野】この発明は、例えば、CIF方式の映像信号をNTSC方式の映像信号に変換するための

飛越し走査変換装置と、この飛越し走査変換装置を実現するための映像信号内挿装置と、この映像信号内挿装置と上記飛越し走査変換装置を実現するための映像信号変換装置に関する。

【0002】

【従来の技術】近年、電話通信の分野においては、音声信号とともに映像信号を伝送するいわゆるテレビ電話システムの開発が進められている。このテレビ電話システムにおいては、専用の受信装置を設け、この受信装置により、受信映像を表示するようになっている。

【0003】しかし、この受信装置は、一般に、小型で、画面が見にくいという欠点を有する。このため、テレビ電話システムにおいては、受信映像をテレビジョン放送システムで使用する受信装置で表示することが考えられている。

【0004】これを実現するためには、テレビ電話システムの映像信号をテレビジョン放送システムの映像信号に変換するための飛越し走査変換装置が必要となる。

【0005】すなわち、テレビ電話システムでは、テレビジョン方式として、一般に、CIF方式が採用されている。これに対し、テレビジョン放送システムにおいては、テレビジョン方式として、例えば、NTSC方式が採用されている。

【0006】ここで、CIF方式の映像信号は、縦288画素、横360画素、最大フレーム周波数30Hzの順次走査信号である。これに対し、NTSC方式の映像信号は、縦480画素、横720画素、フレーム周波数30Hz、フィールド周波数60Hzの飛越し走査信号である。

【0007】したがって、CIF方式の映像信号をNTSC方式の映像信号に変換するには、順次走査信号を飛越し走査信号に変換するための飛越し走査変換装置が必要になるわけである。

【0008】この場合、CIF方式の映像信号のように、フレーム周波数が変換先の飛越し走査映像信号のフィールド周波数より小さい順次走査信号（以下、「こま落し順次走査信号」という。）を飛越し走査信号に変換する方法としては、例えば、次の（A）、（B）の方法がある。

【0009】（A）フレーム周波数の変換を利用する方法

（B）2次元空間フィルタを用いる方法

以下、この2つの方法（A）、（B）について説明する。まず、（A）の方法を説明する。

【0010】この方法は、こま落し順次走査信号のフレーム周波数を変換先の飛越し走査信号のフィールド周波数と同じ周波数に変換し、この変換出力の各フレームを交互に飛越し映像信号の奇数フィールドと偶数フィールドに変換するようにしたものである。

【0011】したがって、この方法を実現するために

は、フレーム周波数の変換装置が必要になる。フレーム周波数の変換方法としては、テレビジョン標準方式の変換で用いられる方法を用いることができる。

【0012】これは、テレビジョン放送システムにおいては、フレーム周波数を変換する場合、通常、「テレビジョン画像情報工学ハンドブック、オーム社、第598～599頁、1990年」（以下、「文献」という。）に記載されるように、飛越し走査信号を、一旦、順次走査信号に変換してから変換するようになっているからである。

【0013】順次走査信号のフレーム周波数を変換するには、時間的に存在しないフレーム（足りないフレームあるいはすべてフレーム）を新たに作り出す必要がある。この方法としては、変換前のフレームからフレーム間内挿処理により作り出す方法がある。

【0014】このフレーム間内挿処理を利用する方法としては、上記文献に記載されるように、次の2つの方法がある。

【0015】①線形内挿を用いる方法

②動き補正を用いる方法

以下、これら2つの方法①、②を説明する。

【0016】まず、①の方法を説明する。図2は、この方法①の原理を示す図である。なお、この図2は、フレーム周波数が60Hzの順次走査信号をフレーム周波数が50Hzの順次走査信号に変換する場合を代表として示す。

【0017】変換前のフレームから、線形内挿によって、時間的に存在しないフレームを作り出す場合、この内挿フレームは、変換前のフレームのうち、内挿フレームに時間的に近い位置に存在する2つのフレームを用いて作り出される。例えば、図2において、フレームNo. 3を作り出す場合は、このフレームNo. 3は、変換前のフレームのうちの例えばフレームNo. 3とフレームNo. 4を用いて作り出される。

【0018】なお、以下の説明では、変換前のフレームのうち、内挿フレームに対して、時間的に前に位置するフレームを前フレーム、後に位置するフレームを後フレームという。上記の例では、変換前のフレームNo. 3が前フレーム、フレームNo. 4が後フレームとなる。

【0019】前フレームと後フレームから内挿フレームの生成する場合は、まず、各画素ごとに、前フレームの映像信号と後フレームの映像信号に時間軸方向の重み係数が掛け合わせられる。この場合、内挿フレームが、前フレームと後フレームの間の時間的長さを $m:n$ に内分しているときは、前フレームの各画素の映像信号には、重み係数として、 $n/(m+n)$ を掛け合わせられ、後フレームの各画素の映像信号には、 $m/(m+n)$ が掛け合わせられる。

【0020】上記の例では、内挿フレームNo. 3が、前フレームNo. 3と後フレームNo. 4の間の時間的長さを4:6に内分しているため、前フレームNo. 3

の各画素の映像信号には、重み係数 $6/(4+6)$ が掛け合わせられ、後フレーム No. 4 の各画素の映像信号には、重み係数 $4/(4+6)$ が掛け合わせられる。

【0021】このように、重み係数を掛け合わせられた前フレームの映像信号と後フレームの映像信号は、同じ位置の画素ごとに足し合わせられる。これにより、内挿フレームの映像信号が得られる。

【0022】以上が、線形内挿を用いる方法①である。次に、動き補正を用いる方法②を説明する。図3は、この方法②の原理を示す図である。なお、この図2も、フレーム周波数が60Hzの順次走査信号をフレーム周波数数が50Hzの順次走査信号に変換する場合を代表として示す。

【0023】この方法②においては、まず、各画素ごとに、前フレームから後フレームの間における映像の動いた方向と大きさ、つまり、ベクトルVが求められる。このベクトルVは、動きベクトルと呼ばれる。

【0024】次に、各フレームの映像信号は、各画素ごとに、上述した重み係数と動きベクトルVによって規定される値と方向に偏移される。この場合、前フレームの映像信号は、 $(n/m+n)V$ だけ偏移され、後フレームの映像信号は、 $-(m/m+n)V$ だけ偏移される。

【0025】この処理が終了すると、偏移後の前フレームの映像信号と後フレームの映像信号が、対応する画素ごとに足し合せられる。これにより、内挿フレームの映像信号が求められる。

【0026】以上が、動き補正により、内挿フレームを作り出す方法②である。ここで、上述した2つの方法①、②を比較すると、①の方法では、映像の動く部分に、がたがたした不連続な動き（ジャーキネス）や輪郭の二重見えが生じる欠点がある。これに対し、②の方法は、映像の動きに合わせて、映像信号を偏移させるようになっているので、このような欠点は生じない。したがって、フレーム間内挿処理によって、内挿フレームを作り出し方法としては、②の方法が有効である。

【0027】以上が、(A)の方法の説明である。次に、(B)の方法を説明する。

【0028】この方法は、2つの2次元空間フィルタを使って、こま落し順次走査信号から、直接、飛越し走査信号の奇数フィールドの映像信号と偶数フィールドの映像信号を生成するものである。

【0029】図4は、この方法を用いた飛越し走査変換装置の要部の構成を示すブロック図である。なお、図には、CIF方式の映像信号をNTSC方式の映像信号に変換する場合を代表として示す。

【0030】図において、入力端子51には、CIF方式の映像信号、すなわち、フレーム周波数30Hzのこま落し順次走査信号S11が供給される。この映像信号S11は、第1フィールド用の2次元空間フィルタ52と第2フィールド用の2次元空間フィルタ53に供給さ

れる。

【0031】2次元空間フィルタ52は、入力信号S11の各フレームに対して、このフレームの各画素の映像信号の位置が、飛越し走査信号の1フィールドの大きさと、第1フィールドの各画素の映像信号の位置となるように、2次元空間でのフィルタリングを施すことにより、第1フィールドの映像信号S12を出力する。

【0032】同様に、2次元空間フィルタ53は、入力信号S11の各フレームに対して、このフレームの各画素の映像信号の位置が、飛越し走査信号の1フィールドの大きさと、第2フィールドの各画素の映像信号の位置となるように、2次元空間でのフィルタリングを施すことにより、第2フィールドの映像信号S13を出力する。

【0033】これら2つの映像信号S12、S13は、出力端子54、55から図示しない遅延回路等に供給され、フィールド周波数60Hzの飛越し走査信号として出力される。

【0034】

【発明が解決しようとする課題】以上まとめると、こま落し順次走査信号を飛越し走査信号に変換する方法としては、フレーム周波数の変換を利用する方法(A)と、2次元空間フィルタを用いる方法(B)がある。

【0035】(A)の方法を実現するためには、フレーム周波数を変換する必要がある。フレーム周波数を変換するためには、新たにフレームを作り出す必要がある。新たにフレームを作り出す方法には、フレーム間内挿処理を用いる方法がある。この方法には、線形内挿を用いる方法①と動き補正を用いる方法②がある。

【0036】①の方法には、映像の動く部分に、ジャーキネスや輪郭の二重見えが生じる欠点があるが、②の方法には、このような欠点はない。したがって、フレーム間内挿処理を用いる方法としては、②の方法が有効である。

【0037】しかしながら、②の方法と(B)の方法には、次のような問題があった。

【0038】すなわち、②の方法によって内挿フレームを作り出す場合、内挿フレームの画質は、動きベクトルVの検出精度によって大きく左右される。もし、誤った動きベクトルが検出されると、内挿フレームの映像信号が部分的に崩れてしまう。したがって、この方法②を用いる場合は、動きベクトルVを正確に検出する必要がある。

【0039】しかし、実際には、動きベクトルVをすべて正確に検出することは難しい。したがって、②の方法では、ジャーキネスや輪郭の二重見えの発生を防止できる反面、内挿フレームの映像信号が部分的に崩れるという問題が新たに生じる。しかも、この方法の場合、このような問題だけでなく、動きベクトルVの検出に伴う計算量が多いという問題を有する。

【0040】また、(B)の方法によってこま落し順次走査信号を飛越し走査信号に変換する場合、得られた飛越し走査信号による映像中の特に動く輪郭部分に、がたがたした不連続な動き、いわゆるジャーキネスが発生するという問題があった。

【0041】この発明は、上記事情に対処すべくなされたもので、内挿フレームを作り出す場合においては、映像信号の部分的な崩れや計算量の増大を招くことなく、ジャーキネスや輪郭の二重見えを目立たなくすることに寄与することができ、2次元空間フィルタを用いて、こま落し順次走査信号を飛越し走査信号に変換する場合においては、ジャーキネスを目立たなくすることに寄与することができる映像信号変換装置を提供することを第1の目的とする。

【0042】また、この発明は、内挿フレームを作り出す場合において、映像信号の部分的な崩れや計算量の増大を招くことなく、ジャーキネスや輪郭の二重見えを目立たなくすることができる映像信号内挿装置を提供することを第2の目的とする。

【0043】さらに、この発明は、2次元空間フィルタを用いて、こま落し順次走査信号を飛越し走査信号に変換する場合において、ジャーキネスを目立たなくすることができる飛越し走査変換装置を提供することを第3の目的とする。

【0044】

【課題を解決するための手段】上記第1の目的を達成するために、請求項1に係る発明は、映像信号の時間軸方向の差分値を検出し、この差分値に基づいて、映像信号の空間解像度を制御するための制御信号を生成する制御信号生成手段と、この制御信号生成手段により生成された制御信号に基づいて、差分値が大きいほど、映像信号の空間解像度が低下するように、この映像信号の空間解像度を制御する空間解像度制御手段とからなる映像信号変換装置を提供するものである。

【0045】

【作用】上記構成においては、映像が動くと、制御信号生成手段で検出される差分値が大きくなる。これにより、映像が動いた部分では、空間解像度が低下させられる。

【0046】したがって、上記映像信号変換装置を線形内挿処理によって内挿フレームを作り出す映像信号内挿装置に組み込めば、動きベクトルを用いることなく、ジャーキネスや輪郭の二重見えが目立たないようにすることができる。これにより、映像の部分的な崩れや計算量の増大を招くことなく、ジャーキネスや輪郭の二重見えが目立たないようにすることができる。

【0047】しかも、空間解像度は、差分値が大きいほど、低下するように制御されるので、動きの小さい部分では、本来の空間解像度を確保することができる。これにより、内挿フレーム全体の空間解像度をさほど低下さ

せることなく、ジャーキネスや輪郭の二重見えが目立たないようにすることができる。

【0048】また、上記映像信号変換装置を、2次元空間フィルタを用いた飛越し走査変換装置に組み込めば、映像の動いた部分で、空間解像度が低下させられたこま落し順次走査信号を用いて、飛越し走査信号を生成することができる。これにより、映像中の動く輪郭部分で、ジャーキネスを目立たなくすることができる。

【0049】しかも、空間解像度は、差分値が大きいほど、低下するように制御されるので、動きの小さい部分では、本来の空間解像度を確保することができる。これにより、変換後の映像全体の空間解像度をさほど低下させることなく、ジャーキネスを目立たなくすることができる。

【0050】

【実施例】以下、図面を参照しながら、この発明の実施例を詳細に説明する。

【0051】まず、この発明の映像信号変換装置を利用して、映像信号の時間軸方向の周波数を変換するための内挿映像信号を生成する映像信号内挿装置の実施例を説明する。

【0052】なお、以下の説明では、映像信号内挿装置が映像信号のフレーム周波数を変換するための内挿映像信号を生成する装置である場合、すなわち、上述した内挿フレームを作り出すための装置である場合を代表として説明する。

【0053】図1は、このような映像信号内挿装置の第1の実施例の構成を示すブロック図である。

【0054】図示の装置は、線形内挿処理によって、内挿フレームの映像信号を生成する線形内挿部と、この線形内挿部によって生成される内挿映像信号の空間解像度を制御する映像信号変換部とから構成されている。

【0055】線形内挿部は、例えば、乗算器15、16と加算器17とから構成され、後フレームと前フレームの映像信号S1、S2を、その重み係数信号S3、S4に基づいて、荷重加算することにより、内挿映像信号S5を生成するようになっている。

【0056】映像信号変換部は、例えば、係数演算回路18と、適応フィルタ19とから構成され、映像信号S1、S2の差分値を検出し、この検出出力に基づいて、線形内挿出力の空間解像度を制御することにより、内挿映像信号S5の空間解像度を直接制御するようになっている。この場合、空間解像度は、上記差分値の絶対値が大きいほど低下するように制御される。

【0057】映像信号内挿装置の第1の実施例の概略構成は以上のようなものであるが、次に、その具体的な構成を説明する。

【0058】図1において、入力端子11には、フレーム内挿に用いる後フレームの映像信号S1が入力され、入力端子12には、フレーム内挿に用いる前フレームの

映像信号S2が入力される。この場合、映像信号S1、S2は、空間的位置が同じ2つの画素の信号が同時に対応する入力端子11、12に入力されるように、入力される。

【0059】入力端子13、14には、線形内挿を行うための重み係数信号S3、S4が供給される。この重み係数信号S3、S4の値は、次のように設定されている。いま、図5に示すように、内挿フレームが、前フレームの時間的位置と後フレームの時間的位置を $m:n$ に内分する位置にあるとする。この場合、重み係数信号S3の値は、 $m/(m+n)$ に設定され、重み係数信号S4の値は、 $n/(m+n)$ に設定される。

【0060】入力端子11に入力された映像信号S1は、乗算器15に供給され、入力端子13に入力された重み係数信号S3と乗算される。同様に、入力端子12に入力された映像信号S2は、乗算器16に供給され、入力端子14に入力された重み係数信号S4と乗算される。各乗算器15、16の出力信号は、加算器17で加算される。これにより、内挿フレームの映像信号、すなわち、内挿映像信号S5が得られる。この内挿映像信号S5は、適応フィルタ19に供給される。

【0061】入力端子11、12に入力された映像信号S1、S2は、さらに、係数演算回路18に供給される。この係数演算回路18は、各画素ごとに、2つの映像信号S1、S2の差分値を検出し、この差分値に基づいて、係数信号S6を生成する。この係数信号S6は、内挿映像信号S5の空間解像度を制御するための制御信号として、適応フィルタ19に供給される。

【0062】適応フィルタ19は、各画素ごとに、係数信号S6に基づいて、内挿映像信号S5の空間解像度を制御する。この場合、空間解像度は、上記の如く、映像信号S1、S2の差分値の絶対値が大きいほど低下するように制御される。

【0063】空間解像度を制御された内挿映像信号S5は、内挿フレームの真の内挿映像信号S7として、出力端子20に供給される。この内挿映像信号S7は、そのまま、フレーム周波数変換後の映像信号として利用されるか、あるいは、必要に応じて、フレーム周波数変換前の映像信号と組み合わせられることにより、フレーム周波数変換後の映像信号として利用される。

【0064】上記構成においては、フレーム周波数変換前の映像に動く部分が存在すると、この部分で、係数演算回路18で検出される映像信号S1、S2の差分値が大きくなる。これにより、加算回路17から出力される内挿映像信号S5の空間解像度が、適応フィルタ19によって低下させられる。その結果、内挿フレームの映像において、動く部分のジャダーや輪郭の二重見えが目立たなくなる。

【0065】また、内挿映像信号S5の空間解像度は、差分値の絶対値が大きいほど、低下するように制御され

る。これにより、動きが小さい部分では、本来の空間解像度を確保することができる。その結果、内挿フレーム全体の空間解像度をさほど低下させることなく、動く部分のジャーキネスや輪郭の二重見えが目立たなくすることができる。

【0066】なお、内挿映像信号S5の空間解像度の制御は、図6に示すように、内挿フレームの時間的位置が後フレームの時間的位置と一致する場合であっても実行してよい。これは、各内挿フレームの空間解像度を均等にすることにより、各内挿フレーム間での空間解像度のばらつきに起因する画質の低下を防止するためである。

【0067】すなわち、内挿フレームの時間的位置が、後フレームの時間的位置と一致する場合、後フレームの重み係数信号S3の値は1に設定され、前フレームの重み係数信号S4の値は0に設定される。したがって、この場合は、内挿フレームは後フレームと一致する。

【0068】このような状態の下では、実質的に線形内挿がなされないで、ジャーキネスや輪郭の二重見えが発生しない。したがって、この場合は、空間解像度を制御する必要はない。

【0069】しかし、このようにすると、時間的位置が後フレームの時間的位置と一致する内挿フレームと一致しない内挿フレームとの間で、フレーム全体の空間解像度にばらつきが生じる。これにより、内挿映像の画質が低下してしまう。

【0070】そこで、この実施例は、内挿フレームの時間的位置が後フレームの時間的位置と一致する場合でも、空間解像度を制御することにより、各内挿フレーム間での空間解像度のばらつきに起因する画質の低下を防止しているわけである。

【0071】以上が第1の実施例の全体的な構成である。次に、映像信号変換部を構成する係数演算回路18と適応フィルタ19の具体的構成の一例を説明する。

【0072】まず、係数演算回路18の具体的構成の一例を説明する。図7は、この回路18の具体的構成の一例を示すブロック図である。

【0073】図示の係数演算回路18は、減算器183と、絶対値回路184と、変換回路185とから構成され、各画素ごとに、映像信号S1、S2の差分値を検出し、この差分値の絶対値に応じた値 α をもつ係数信号S6を、空間解像度の制御信号として出力するようになっている。ここで、 α は、 $0 \leq \alpha \leq 1$ に設定されている。

【0074】すなわち、図7において、入力端子181、182には、それぞれ映像信号S1、S2が入力される。これら映像信号S1、S2は減算器183に供給され、両者の差分値($i1-i2$)を算出される。

【0075】この差分値($i1-i2$)は、絶対回路184に供給され、その絶対値 $d(=|i1-i2|)$ を算出される。この絶対値 d は、変換回路185に供給され、値 α を持つ係数信号S6に変換される。この係数信

号S6は、出力端子186を介して、適応フィルタ19に制御信号として供給される。

【0076】なお、変換回路185の変換特性は、絶対値dが大きいほど、内挿映像信号S5の空間解像度を低下させるという要件を満たすように設定される。この要件を満たす変換特性は、適応フィルタ19の構成との関係で定まる。したがって、この変換特性については、次の適応フィルタ19の説明のところで説明する。

【0077】次に、適応フィルタ19の具体的構成の一例を説明する。図8は、このフィルタ19の具体的構成の一例を示すブロック図である。

【0078】図示の適応フィルタ19は、画素信号記憶回路193と、係数記憶回路194と、適応フィルタ演算回路195とから構成され、各画素ごとに、内挿映像信号S5の平均値を求め、この平均値と本来の値とを、係数信号S6に基づいて、荷重加算することにより、真の内挿映像信号S7を生成するようになっている。

【0079】すなわち、図8において、入力端子191には、図1の加算器17から出力される内挿映像信号S5が入力される。一方、入力端子192には、図1の係数演算回路18から出力される係数信号S6が入力される。

【0080】入力端子191に入力された内挿映像信号S5は、画素信号記憶回路193に供給される。この画素信号記憶回路193は、複数の遅延タップを有し、空間解像度の制御対象となる画素の内挿映像信号S5(0)と、この制御対象画素の周辺に位置する画素の内挿映像信号S5(i) {i=1, 2, ..., n}を同時に出力する。これら制御対象画素の内挿映像信号S5(0)と周辺画素の内挿映像信号S5(i)は、適応フィルタ演算回路195に供給される。

【0081】一方、入力端子192に供給された制御対象画素の係数信号S6(0)は、係数記憶回路194に供給され、この画素の内挿映像信号S5(0)と同じ時間だけ遅延された後、適応フィルタ演算回路195に供給される。

【0082】適応フィルタ演算回路195は、画素信号記憶回路193から供給される(n+1)個の内挿映像信号S5(0), S5(i)の平均値を求め、この平均値と制御対象画素の内挿映像信号S5(0)とを、その係数信号S6(0)に基づいて荷重加算することにより、制御対象画素の真の内挿映像信号S7(0)を生成する。

【0083】以上が適応フィルタ19の全体的な構成である。次に、このフィルタ19を構成する画素信号記憶回路193と、係数信号記憶回路194と、適応フィルタ演算回路195の具体的構成の一例を説明する。

【0084】まず、画素信号記憶回路193の具体的構成の一例を説明する。この回路は、上記の如く、制御対象画素の内挿映像信号S5(0)と、その周辺画素の内

挿映像信号S5(i)を同時に出力する。図9は、周辺画素の設定例を示す図である。

【0085】図において、P0は、制御対象画素であり、Pi {i=1, 2, ..., n}は周辺画素である。図には、5つの設定例を示す。ここで、例えば、(a)に示す例は、制御対象画素P0を中心とする縦s画素、横t画素からなるブロックを設定し、このブロック内に位置する(s t - 1)個の画素Piを周辺画素とするようにしたものである。

【0086】これらの画素P0, Piの内挿映像信号S5(0), S5(i)を同時に出力するために、画素信号記憶回路193は、例えば、内挿映像信号S5を1水平走査ライン分だけ遅延する1H遅延回路と1画素分だけ遅延する1画素遅延回路とを適宜組み合わせることにより構成されている。

【0087】例えば、周辺画素Piが図9(a)のように設定される場合、画素信号記憶回路193は、(s - 1)個の1H遅延回路とs × (t - 1)個の1画素遅延回路とから構成される。なお、図9(a)の場合、s = 5、t = 5なので、画素信号記憶回路193は、4個の1H遅延回路と20個の1画素遅延回路により構成される。

【0088】図10は、この場合の構成を示すブロック図である。図において、入力端子191に供給された内挿映像信号S5は、直列接続された4個の1H遅延回路1A(1) ~ 1A(4)により、順次、1水平走査ライン分ずつ遅延される。これにより、5ライン分の内挿映像信号S5が同時に得られる。

【0089】また、各水平走査ラインの内挿映像信号S5は、直列接続された4個の1画素遅延回路2A(y, x) {y=0, 1, ..., 4, x=0, 1, ..., 3}により、順次、1画素分ずつ遅延される。これにより、25画素分の映像信号S5(0), S5(1) ~ S5(24)が同時に出力される。

【0090】この場合、制御対象画素P0の映像信号S5(0)は、1画素遅延回路2A(2, 1)から出力され、周辺画素P1の映像信号S5(1)は、1画素遅延回路2A(4, 3)から出力される。

【0091】以上が画素信号記憶回路193の具体的構成の一例である。次に、係数記憶回路194の具体的構成の一例を説明する。なお、以下の説明では、画像信号記憶回路193の構成が上述した図10に示すものである場合を代表として説明する。

【0092】係数記憶回路194は、制御対象画素P0の係数信号S6(0)を、この画素P0の内挿映像信号S5(0)が画素信号記憶回路193から出力されるタイミングと同じタイミングで出力するものでなければならない。言い換えれば、係数記憶回路194は、制御対象画素P0の係数信号S6(0)を、この画素P0の内挿映像信号S5(0)と同じ時間だけ遅延するものでな

ければならない。

【0093】したがって、係数記憶回路194は、図11に示すように、2個の1H遅延回路1B(1)、1B(2)と、2個の1画素遅延回路2B(2,0)、2B(2,1)により構成される。ここで、1H遅延回路1B(1)、1B(2)はそれぞれ図10の1H遅延回路1A(1)、1A(2)に相当し、1画素遅延回路2B(2,0)、2B(2,1)は、図10の1画素遅延回路2A(2,0)、2A(2,1)に相当する。

【0094】このような構成によれば、入力端子192 10に供給された制御対象画素P0の係数信号S6(0)は、この画素P0の内挿映像信号S5(0)と同様に、2水平走査ライン+2画素分の時間だけ遅延される。これにより、制御対象画素P0の内挿映像信号S5(0)と係数信号S6(0)が同時に適応フィルタ演算回路195に供給される。

【0095】以上が係数記憶回路194の具体的構成の一例である。次に、適応フィルタ演算回路195の具体*

$$b = \{1 / (n+1)\} \sum a_i$$

但し、 $i = 0, 1, \dots, n$

これと同時に、係数記憶回路194から出力される制御対象画素P0の係数信号S6(0)は、減算器2Cと乗算器4Cに供給される。減算器2Cにおいては、1から係数信号S6(n)の値 α を減ずる処理がなされる。これにより、 $(1-\alpha)$ なる値を持つ信号が得られる。この信号は乗算器3Cに供給され、制御対象画素P0の内挿映像信号S5(0)と乗算される。これにより、 $(1 \times$

$$a = (1-\alpha) a_0 + \alpha b$$

この信号は、制御対象画素P0の真の内挿映像信号S7として、出力端子20に供給される。

【0101】式(2)から明らかな如く、映像信号S7の値aは、 α が0の場合は、 a_0 となり、 α が大きくなると、 a_0 の割合が減り、bの割合が増える。そして、 α が1になると、aはbとなる。

【0102】つまり、適応フィルタ演算回路195は、 α が大きいほど、内挿映像信号S5の空間解像度を下げないように働く。一方、この空間解像度は、上記の如く、映像信号S1、S2の差分値 $(i_1 - i_2)$ の絶対値dが大きいほど低下させられる。

【0103】以上から、図7に示す変換回路185の変換特性は、絶対値dが大きいほど、 α を大きくするような特性でなければならない。このような変換特性としては、種々考えられるが、図13にその数例を示す。

【0104】以上詳述したこの実施例によれば、次のような効果が得られる。

【0105】(1) まず、前フレームと後フレームの映像信号S1、S2の差分値を検出し、この差分値に基づいて、線形内挿により生成された内挿映像信号S5の空間解像度を制御するようにしたので、動きベクトルを用いることなく、映像の動く部分でのジャーキネスや輪郭

*的構成の一例を説明する。図12は、適応フィルタ演算回路195の具体的構成の一例を示すブロック図である。

【0096】図示の適応フィルタ演算回路195は、平均値算出回路1Cと、減算器2Cと、乗算器3C、4Cと、加算器5Cとから構成され、各画素ごとに、画素信号記憶回路193から供給される $(n+1)$ 個の内挿映像信号S5(0)~S5(n)の平均値bを求め、この平均値bと制御対象画素P0の映像信号S5(0)の値 a_0 とを、係数信号S6(0)に基づいて荷重加算することにより、映像信号S7(0)を生成するようになっている。

【0097】すなわち、図12において、画素信号記憶回路193から出力される制御対象画素P0の映像信号S5(0)とn個の周辺画素P1~Pnの映像信号S5(1)~S5(n)は、平均値算出回路1Cに供給され、次式(1)に従って、平均値bを算出される。

$$\text{【0098】} \quad \dots (1)$$

$20 \times - \alpha) a_0$ なる値をもつ信号が得られる。

【0099】一方、乗算器4Cに供給された係数信号S6(0)は、平均値算出回路1Cから出力される平均値信号と乗算される。これにより、 αb なる値を有する信号が得られる。この信号は、加算器5Cにおいて、乗算器3Cの出力信号と加算される。これにより、次式(2)で示されるような値aを有する信号が得られる。

$$\text{【0100】} \quad \dots (2)$$

の二重見えを目立たなくすることができる。これにより、映像信号の部分的な崩れや計算量の増大を招くことなく、ジャーキネスや輪郭の二重見えを目立たなくすることができる。

(2) また、差分値の絶対値が大きいほど、空間解像度を低下させるようにしたので、動きが小さい部分では、本来の空間解像度を得ることができる。これにより、内挿フレーム全体の画質を低下させることなく、ジャーキネスや輪郭の二重見えを目立たなくすることができる。

【0106】(3) また、内挿フレームの時間的位置が変換前のフレームの時間的位置と同じ場合であっても、空間解像度を制御するようにしたので、各内挿フレームの空間解像度を均等にすることができる。これにより、内挿フレーム間での空間解像度のばらつきに起因する画質の低下を防止することができる。

【0107】図14は、この発明の内挿信号生成装置の第2の実施例の構成を示すブロック図である。なお、図14において、図1と同一機能を果たす部分には、同一符号を付して詳細な説明を省略する。

【0108】先の実施例では、適応フィルタ19を線形内挿部の出力段に設け、線形内挿処理により得られた内挿映像信号S5の空間解像度を直接制御する場合を説明

した。

【0109】これに対し、この実施例は、適応フィルタを線形内挿部の入力段に設け、映像信号S1、S2の空間解像度を制御することにより、間接的に、内挿映像信号S5の空間解像度を制御するようにしたものである。

【0110】すなわち、図14において、31(1)は、入力端子11と乗算器15の間に挿入され、係数信号S6に基づいて、映像信号S1の空間解像度を制御する適応フィルタである。同様に、31(2)は、入力端子12と乗算器16の間に挿入され、係数信号S6に基づいて、映像信号S2の空間解像度を制御する適応フィルタである。

【0111】適応フィルタ31(1)は、図1の適応フィルタ19と同様に、画素信号記憶回路311(1)と、係数記憶回路312と、適応フィルタ演算回路313(1)とから構成されている。同様に、適応フィルタ31(2)も、画素信号記憶回路311(2)と、係数記憶回路312と、適応フィルタ演算回路313(2)とから構成されている。但し、この場合、係数記憶回路312は、2つの適応フィルタ31(1)、31(2)で兼用されている。

【0112】このような構成においても、映像信号S1、S2の空間解像度が制御されることによって、結果的に、内挿映像信号S5の空間解像度が制御されるので、先の実施例と同様の効果を得ることができる。

【0113】なお、この実施例では、2つの適応フィルタ31(1)、31(2)を設けるに当たって、係数記憶回路312を2つのフィルタ31(1)、31(2)で兼用するようにしたので、これらを少ない回路規模で実現することができる利点がある。

【0114】図15は、この発明の映像信号内挿装置の第3の実施例の構成を示すブロック図である。なお、図15において、先の図14と同一機能を果たす部分には、同一符号を付して、詳細な説明を省略する。

【0115】先の第2の実施例では、映像信号S1、S2の空間解像度を制御することにより、内挿映像信号S5の空間解像度を間接的に制御するに当たり、重み係数を掛け合わせる前の映像信号S1、S2の空間解像度を制御する場合を説明した。

【0116】これに対し、この実施例は、重み係数を掛け合わせた後の映像信号S1、S2の空間解像度を制御するようにしたものである。すなわち、適応フィルタ31(1)、31(2)を、乗算器15、16の入力段ではなく、出力段に設けるようにしたものである。

【0117】このような構成においても、先の第2の実施例と同様に、内挿映像信号S5の空間解像度を間接的に制御することができるので、この第1の実施例と同様の効果を得ることができる。

【0118】図16は、この発明の映像信号内挿装置の第4の実施例の構成を示すブロック図である。なお、図

16において、先の図1とほぼ同一機能を果たす部分には、同一符号を付して詳細な説明を省略する。

【0119】先の第1、第2、第3の実施例では、係数信号S6を、入力端子11、12に供給される映像信号S1、S2に基づいて生成する場合を説明した。

【0120】しかし、第2、第3の実施例のように、映像信号S1、S2の空間解像度を制御することにより、内挿映像信号S5の空間解像度を制御する構成においては、適応フィルタ31(1)、31(2)の画素信号記憶回路311(1)、311(2)から出力される制御対象画素P0の映像信号は、入力端子11、12に供給される映像信号S1、S2と実質的に同じである。

【0121】そこで、この実施例では、係数信号S6を、画素信号記憶回路311(1)、311(2)から出力される制御対象画素P0の映像信号に基づいて生成するようにしたものである。

【0122】なお、図16には、この実施例を図14の構成に適用する場合を説明したが、図15の構成にも適用することができることは勿論である。

【0123】このような構成によれば、係数演算回路18から出力される制御対象画素P0の係数信号S6(0)の出力タイミングを、画素信号記憶回路311(1)、311(2)から出力される制御対象画素P0の映像信号の出力タイミングに一致させることができるので、係数信号S6(0)を遅延するための係数記憶回路312を省略することができるという利点が得られる。

【0124】以上がこの発明を映像信号内挿装置の実施例である。次に、この発明の映像信号変換装置を利用して、こま落し順次走査信号を飛越し走査信号に変換する飛び越し走査変換装置の実施例を説明する。

【0125】図17は、この飛び越し走査変換装置の第1の実施例の構成を示すブロック図である。なお、以下の説明では、この発明を、CIF方式のこま落し順次走査信号をNTSC方式の飛び越し走査信号に変換する場合を代表として説明する。

【0126】図示の装置は、こま落し順次走査信号S1の空間解像度を制御する映像信号変換部と、この制御出力に基づいて、飛び越し走査信号を生成するフィルタ部とから構成されている。

【0127】映像信号変換部は、1フレーム遅延回路41と、係数演算回路42と、適応フィルタ43から構成され、現フレームと前フレームのこま落し順次走査信号S11の差分値を検出し、この差分値に基づいて、現フレームのこま落し順次走査信号S11の空間解像度を制御するようになっている。

【0128】フィルタ部は、図4と同様、2つの2次元空間フィルタ52、53とから構成され、空間解像度を制御されたこま落し順次走査信号S15に基づいて、第1フィールド、第2フィールドの映像信号S12、S1

3を生成するようになっている。

【0129】すなわち、図17において、入力端子51供給されたCIF方式のこま落し順次走査信号S11は、1フレーム遅延回路41と、係数演算回路42と、適応フィルタ43に供給される。1フレーム遅延回路41に供給されたこま落し順次走査信号S11は、1フレーム分遅延された後、係数演算回路42に供給される。

【0130】係数演算回路42は、各画素ごとに、入力端子51から供給される現フレームのこま落し順次走査信号S11と1フレーム遅延回路41から供給される前フレームのこま落し順次走査信号S11の差分値を検出し、その絶対値に応じた値 α を持つ係数信号S14を出力する。この係数信号S14は、適応フィルタ43に空間解像度の制御信号として供給される。

【0131】適応フィルタ43は、係数演算回路42から供給される係数信号S14に基づいて、各画素ごとに、入力端子51から供給される現フレームのこま落し順次走査信号S11の空間解像度を制御する。

【0132】この制御は、 α が大きいほど、言い換えれば、差分値の絶対値が大きいほど、空間解像度が低下するようになされる。これにより、映像中の動く輪郭部分では、空間解像度が低下する。また、この低下の程度は、動きの大きさが大きいほど大きくなる。

【0133】この制御により得られたこま落し順次走査信号S15は、2次元空間フィルタ52、53に供給される。これにより、NTSC方式の飛越し走査信号の第1フィールドの映像信号S12と第2フィールドの映像信号S13が生成される。

【0134】なお、係数演算回路42と適応フィルタ43の構成は、例えば、映像信号内挿装置のところで説明したものと同じでよいので、ここでは、詳細な説明を省略する。

【0135】以上詳述したこの実施例によれば、次のような効果を得ることができる。

【0136】(1) まず、予め、こま落し順次走査信号S11の空間解像度を制御し、この制御出力から飛越し走査信号を生成するようにしたので、映像中の動く輪郭部分で、ジャーキネスが目立たないようにすることができる。

【0137】(2) また、差分値の絶対値が大きくなるほど、空間解像度を低下させるようにしたので、動きが小さい部分では、本来の空間解像度を得ることができる。これにより、変換後のフレーム全体の画質を低下させることなく、ジャーキネスを目立たなくすることができる。

【0138】図18は、この発明の飛越し走査変換回路の第2の実施例の構成を示すブロック図である。

【0139】先の第1の実施例では、第1フィールドの映像信号S12と第2フィールドの映像信号S13のいずれも、空間解像度が制御されたこま落し順次走査信号

S15から生成する場合を説明した。

【0140】これに対し、この実施例では、いずれか一方のフィールドの映像信号のみ、このようなこま落し順次走査信号S15から生成し、他方のフィールドの映像信号は、空間解像度が制御されないこま落し順次走査信号S11から生成するようにしたものである。

【0141】なお、図18には、第1フィールドの映像信号S12をこま落し順次走査信号S11から生成し、第2フィールドの映像信号S13をこま落し順次走査信号S15から生成する場合を代表として示すが、この逆であってもよいことは勿論である。

【0142】このような構成においても、予め、動く輪郭部分の空間解像度を低下させることができるので、先の実施例と同様の効果を得ることができる。

【0143】以上、この発明の実施例をいくつか説明したが、この発明は、上述したような実施例に限定されるものではない。

【0144】(1) 例えば、先の実施例では、映像信号の差分値として、フレーム間の差分値を検出する場合を説明したが、この発明は、時間軸方向の差分値を検出するものであれば、どのような時間間隔の差分値を検出するものであってもよい。したがって、この発明は、内挿フレームを生成するための映像信号内挿装置だけでなく、例えば、内挿フィールドを生成するための映像信号内挿装置にも適用することができる。

【0145】(2) また、先の実施例では、画素単位で、映像信号の時間軸方向の差分値を検出する場合を説明したが、この発明は、複数の画素からなる所定のブロック単位で差分値を検出するようにしてもよい。

【0146】(3) さらに、先の実施例では、この発明を、CIF方式のこま落し順次走査信号をNTSC方式の飛越し走査信号に変換する飛越し変換装置に適用する場合を説明したが、この発明は、これ以外の方式の信号の変換にも適用することができる。

【0147】(4) このほかにも、この発明は、その要旨を逸脱しない範囲で種々様々変形実施可能なことは勿論である。

【0148】

【発明の効果】以上詳述したようにこの発明によれば、内挿フレームを作り出す場合においては、映像信号の部分的な崩れや計算量の増大を招くことなく、ジャーキネスや輪郭の二重見えを目立たなくすることに寄与することができ、2次元空間フィルタを用いて、こま落し順次走査信号を飛越し走査信号に変換する場合においては、ジャーキネスの抑制に寄与することができる映像信号変換装置を提供することができる。

【0149】また、この発明によれば、内挿フレームを作り出す場合において、映像信号の部分的な崩れや計算量の増大のを招くことなく、ジャーキネスや輪郭の二重見えを目立たなくすることができる映像信号内挿装置を

提供することができる。

【0150】さらに、この発明によれば、2次元空間フィルタを用いて、こま落し順次走査信号を飛越し走査信号に変換する場合において、ジャークネスを目立たなくすることができる飛越し走査変換装置を提供することができる。

【図面の簡単な説明】

【図1】 この発明の映像信号内挿装置の第1の実施例の構成を示すブロック図である。

【図2】 線形内挿によるフレーム内挿の原理を示す図である。

【図3】 動き補正によるフレーム内挿の原理を示す図である。

【図4】 従来の飛越し変換装置の構成を示すブロック図である。

【図5】 重み係数を説明するための図である。

【図6】 内挿フレームが後フレームと一致する場合を示す図である。

【図7】 係数演算回路の具体的構成の一例を示すブロック図である。

【図8】 適応フィルタの具体的構成の一例を示すブロック図である。

【図9】 周辺画素の設定例を示す図である。

【図10】 画素信号記憶回路の具体的構成の一例を示すブロック図である。

【図11】 係数記憶回路の具体的構成の一例を示すブロック図である。

【図12】 適応フィルタ演算回路の具体的構成の一例

を示すブロック図である。

【図13】 変換回路の変換特性例を示す図である。

【図14】 映像信号内挿装置の第2の実施例の構成を示すブロック図である。

【図15】 映像信号内挿装置の第3の実施例の構成を示すブロック図である。

【図16】 映像信号内挿装置の第4の実施例の構成を示すブロック図である。

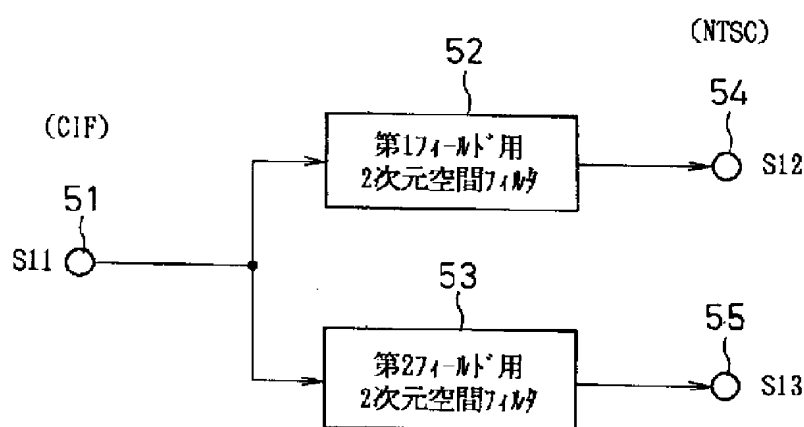
【図17】 飛越し走査変換装置の第1の実施例の構成を示すブロック図である。

【図18】 飛越し走査変換装置の第2の実施例の構成を示すブロック図である。

【符号の説明】

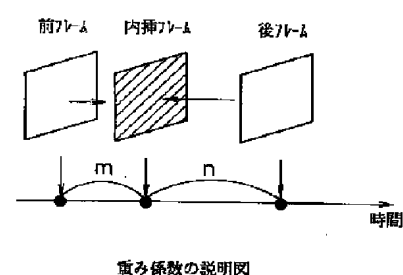
11, 12, 13, 14, 51, 181, 182, 191, 192…入力端子、15, 16, 3C, 4C…乗算器、17, 5C…加算器、18, 42…係数演算回路、19, 31(1), 31(2), 43…適応フィルタ、20, 54, 55, 186…出力端子、41…1フレーム遅延回路、52…第1フィールド用2次元空間フィルタ、53…第2フィールド用2次元空間フィルタ、183, 2C…減算器、184…絶対値回路、185…変換回路、193, 311(1), 311(2)…画素信号記憶回路、194, 312…係数記憶回路、195, 313(1), 313(2)…適応フィルタ演算回路、1A(1)~1A(4), 1B(1), 1B(2)…1H遅延回路、2A(0, 0)~2A(4, 3), 2B(2, 0), 2B(2, 1)…1画素遅延回路、1C…平均値算出回路。

【図4】

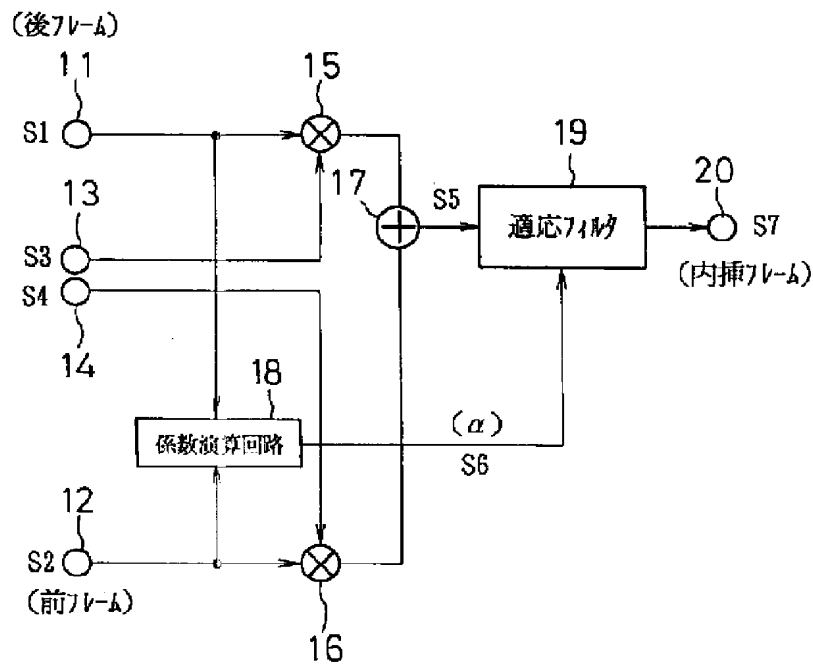


飛越走査変換装置のブロック図

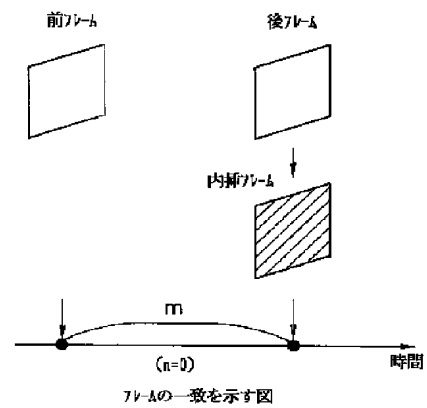
【図5】



【図1】

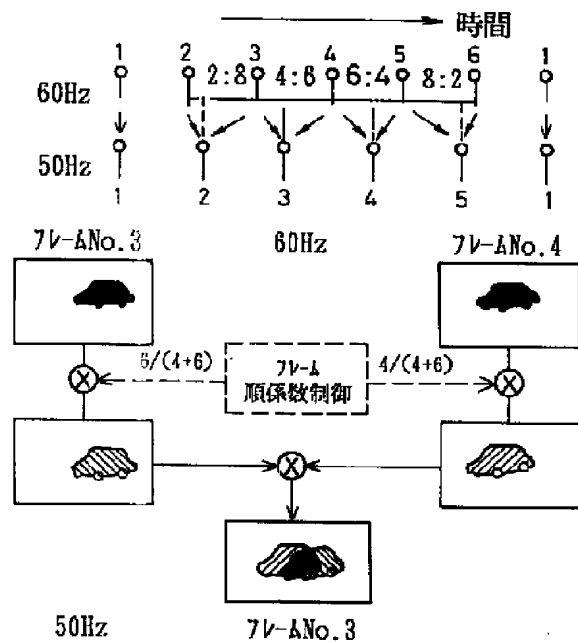


【図6】



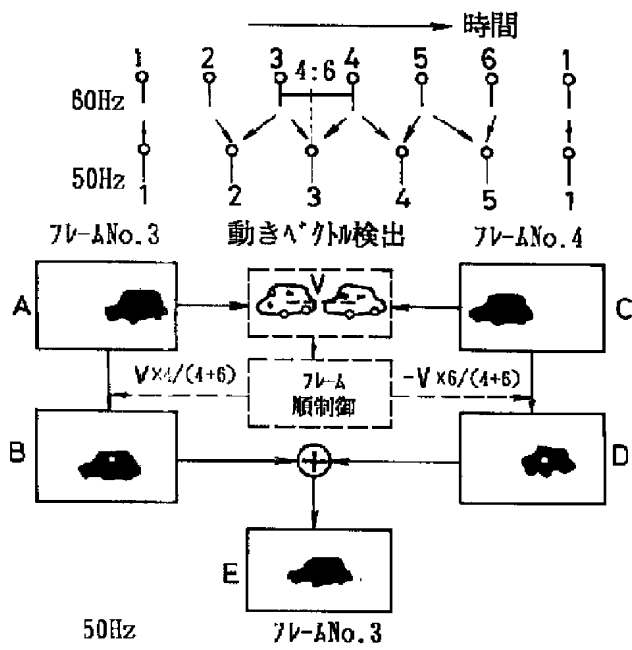
映像信号内挿装置の第1の実施例のブロック図

【図2】

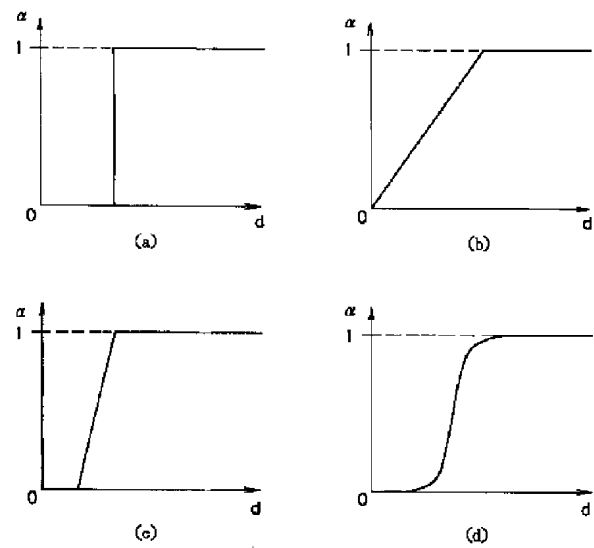


線形内挿による7V-L内挿の原理図

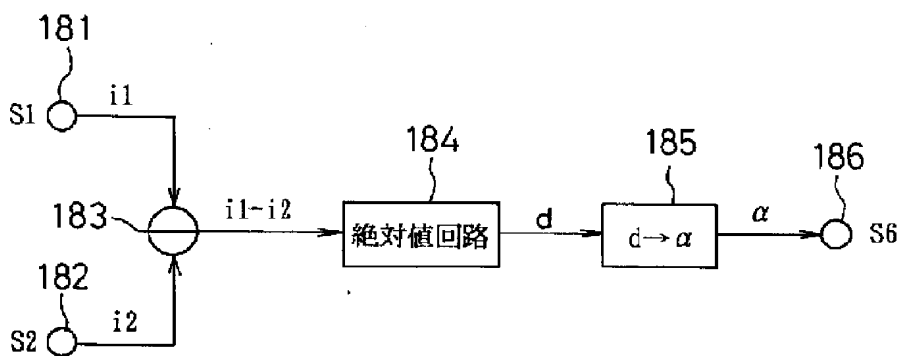
【図3】



【図13】

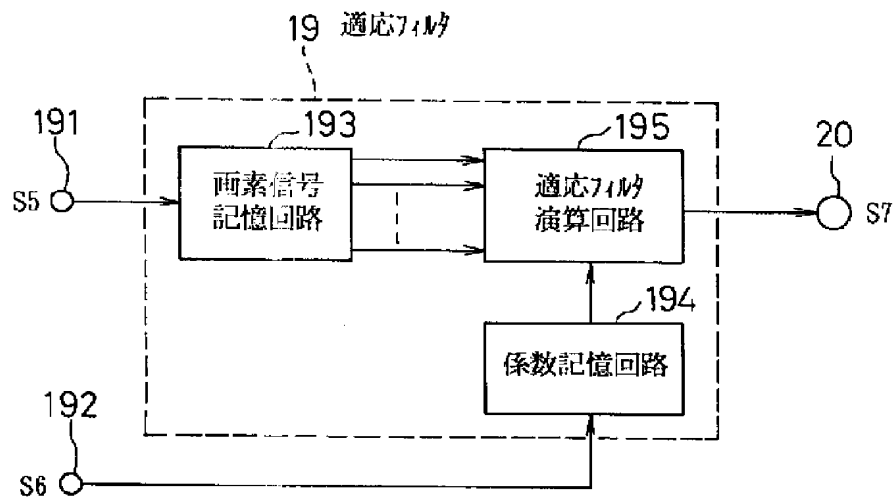


【図7】



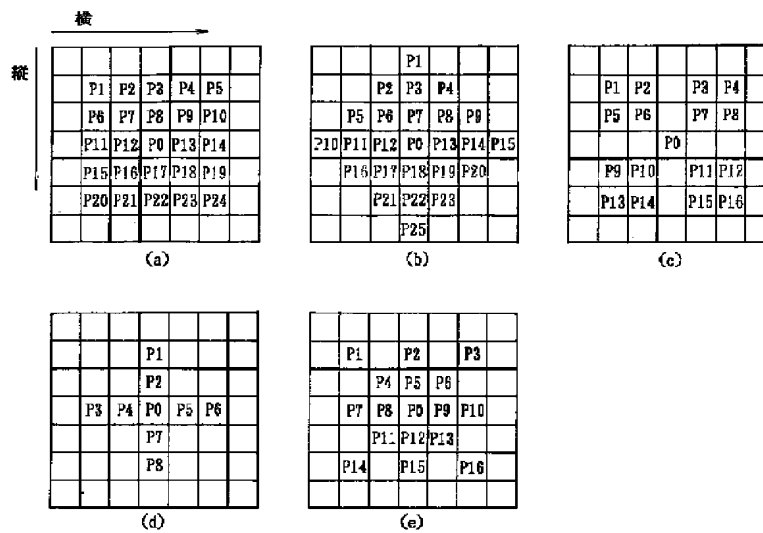
係数演算回路のブロック図

【図8】



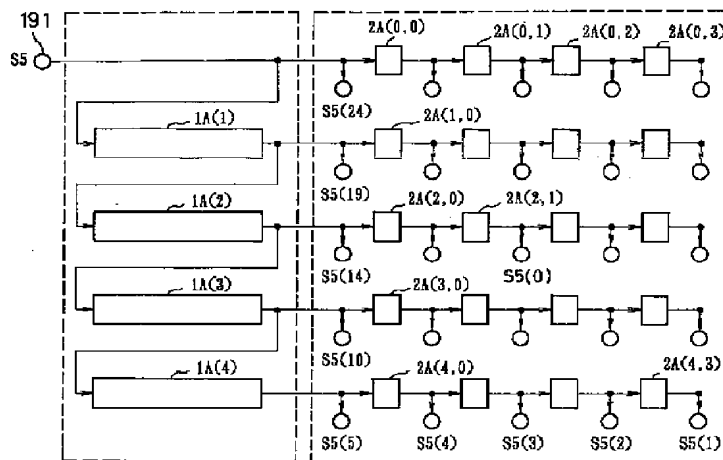
適応フィルタのブロック図

【図9】



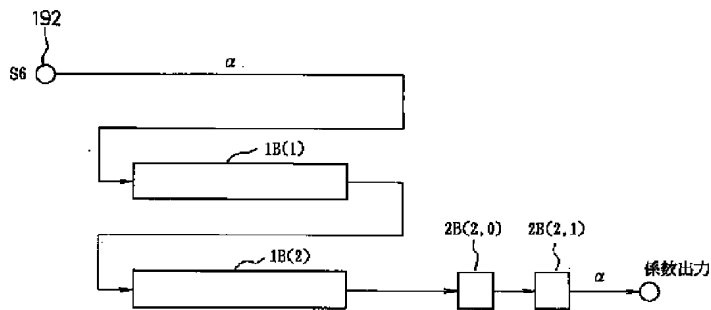
周辺画素の設定例を示す図

【図10】



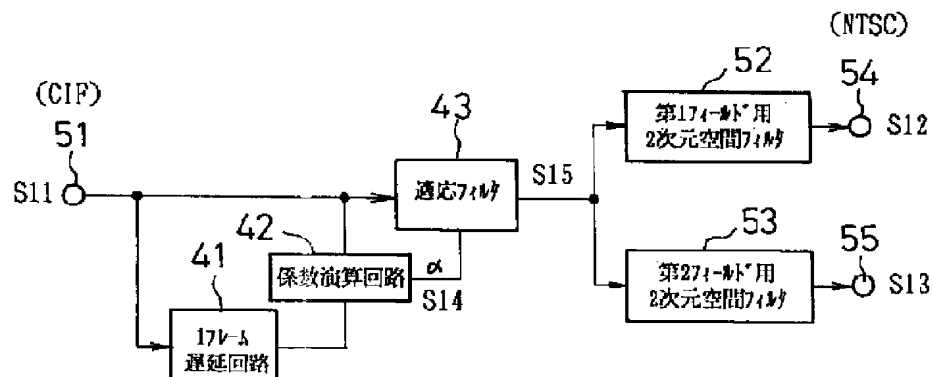
画素信号記憶回路の7*10図

【図11】



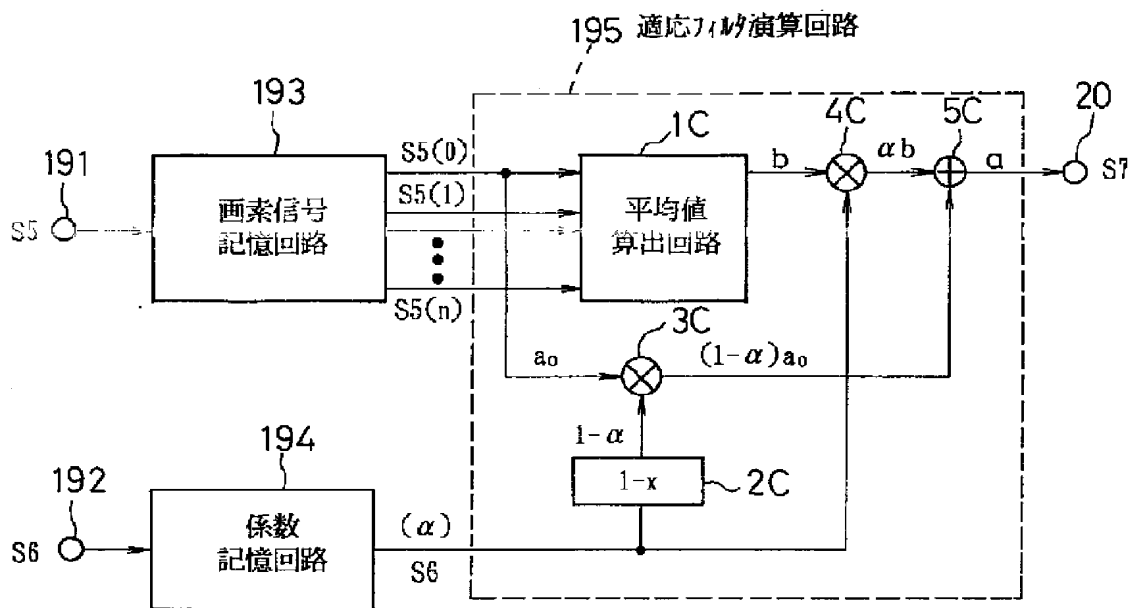
係数記憶回路の7*10図

【図17】



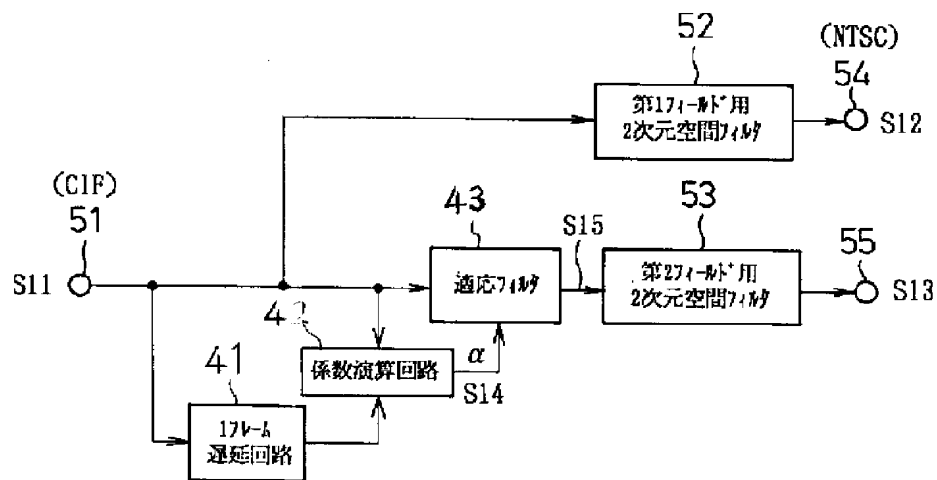
飛越し走査変換装置の第1の実施例の7*10図

【図12】



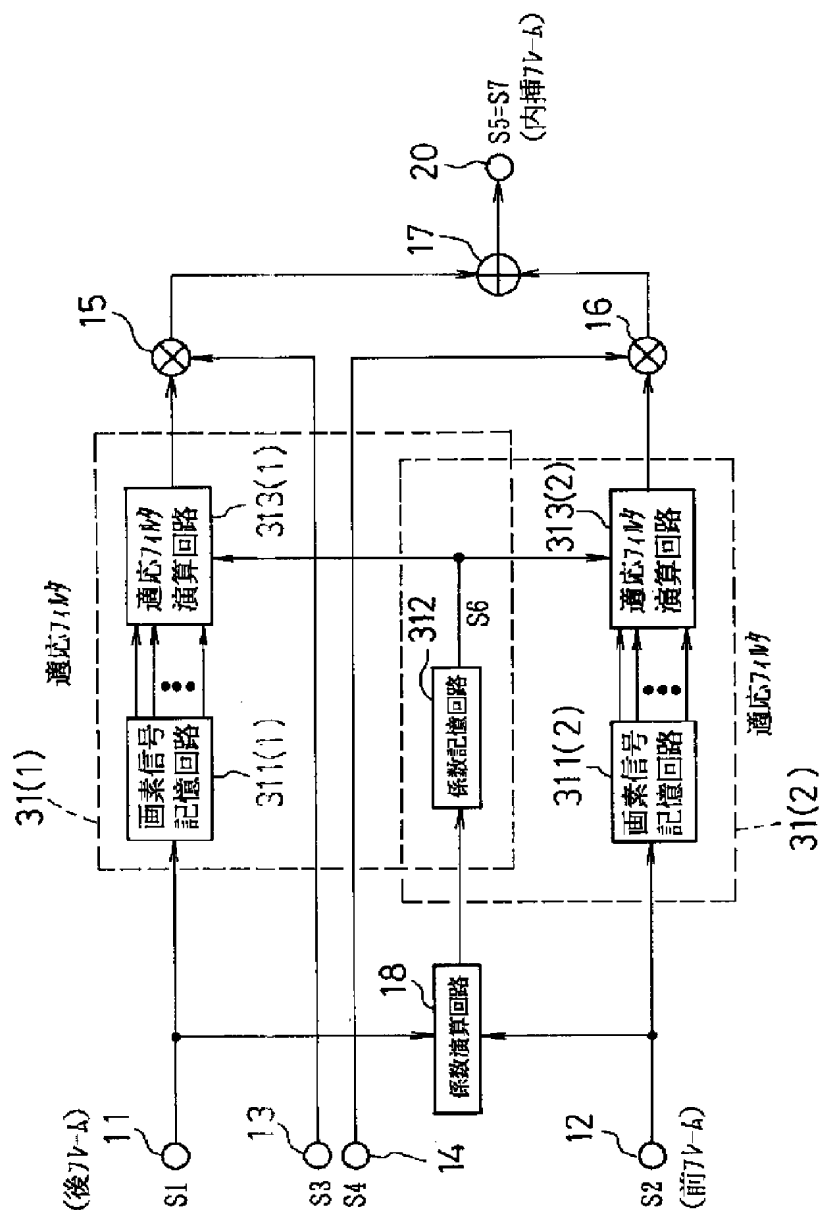
適応フィルタ演算回路のブロック図

【図18】



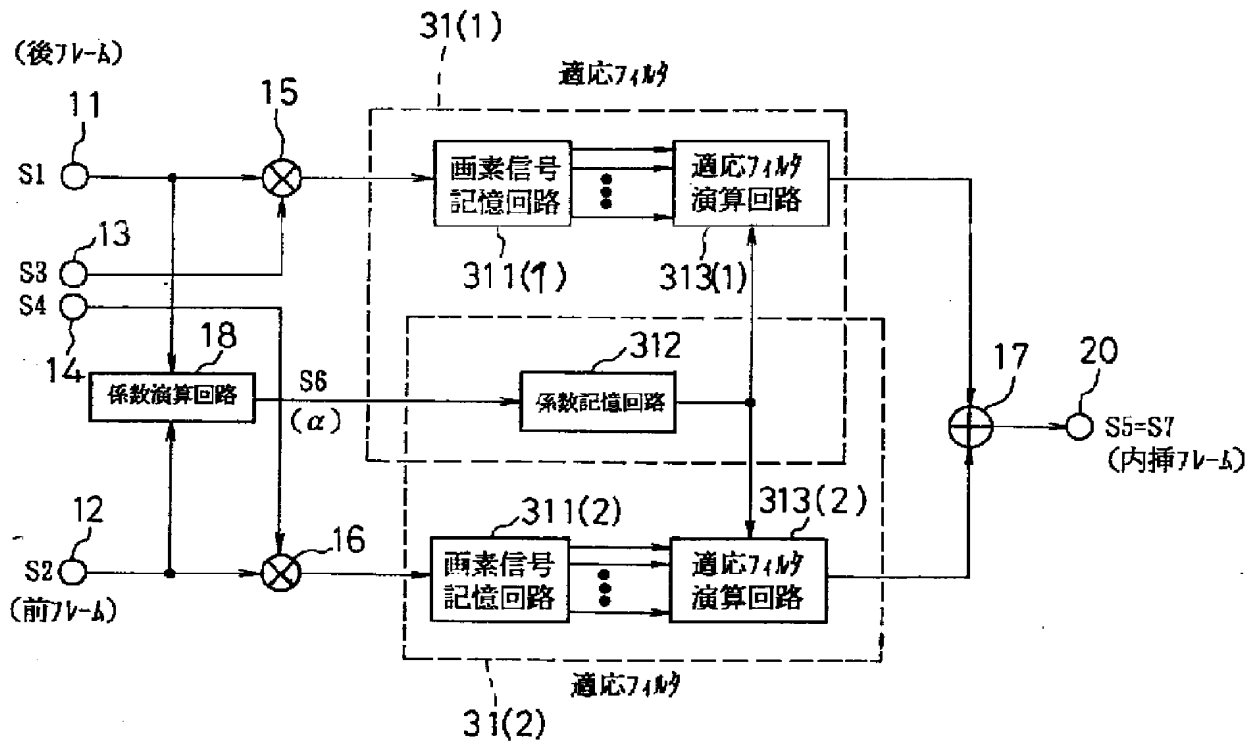
飛越し走査変換装置の第2の実施例のブロック図

【図14】



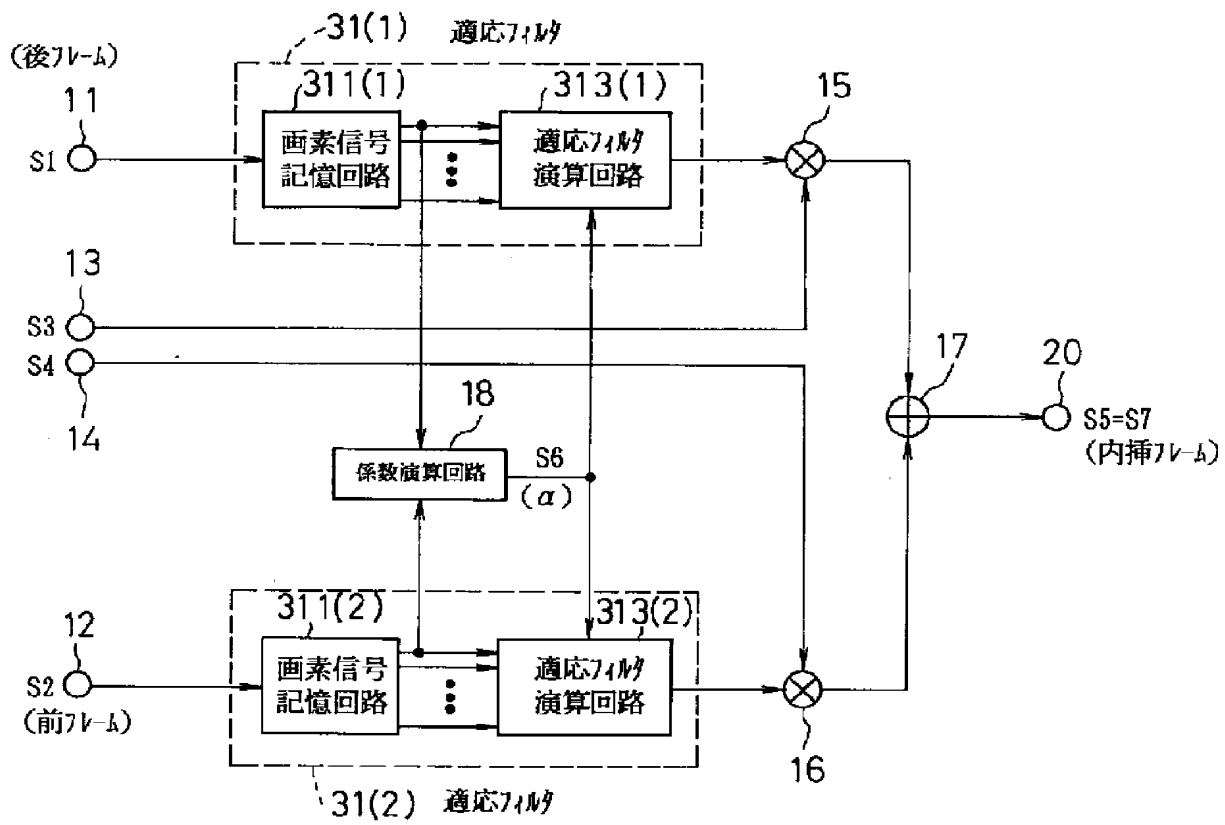
映像信号内挿装置の第2の実施例のブロック図

【図15】



映像信号内挿装置の第3の実施例のブロック図

【図16】



映像信号内挿装置の第4の実施例のブロック図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-030861

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H04N 7/01

H04N 7/24

(21)Application number : 05-172925

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 13.07.1993

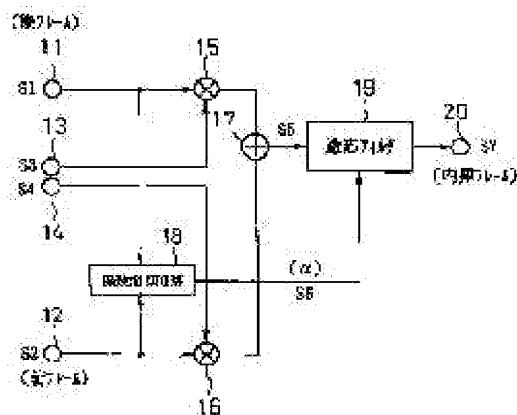
(72)Inventor : FUJII AKIHIRO
YOSHIDA TETSUO

(54) VIDEO SIGNAL CONVERTER, VIDEO SIGNAL INTERPOLATION DEVICE AND INTERLACE SCANNING CONVERTER

(57)Abstract:

PURPOSE: To make jerkiness and doubled images of a motion component inconspicuous without causing partial deformation of a video signal and increase of the calculation quantity when an interpolation frame is generated by the inter-frame interpolation processing.

CONSTITUTION: Video signals S1, S2 are fed to a linear interpolation section comprising multipliers 15,16 and an adder 17 and weight-summed based on a weight coefficient. Thus, a video signal S5 of an interpolation frame is obtained. Furthermore, the video signals S1, S2 are fed to a coefficient arithmetic operation circuit 18. The coefficient arithmetic operation circuit 18 detects a difference between the video signals S1, S2 and generates a coefficient signal S6 having a value α corresponding to the difference. The interpolation video signal S5 is fed to an adaptive filter 19 and the space resolution is controlled based on the coefficient signal S6. In this case, the space resolution is controlled so as to be decreased as the absolute value of the difference is larger.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any

damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the difference of the direction of a time-axis of a video signal -- a value -- detecting -- this difference -- the control signal generated by control signal generation means generate the control signal for controlling the space resolution of said video signal based on a value, and this control signal generation means -- being based -- said difference -- the video-signal inverter characterized by to provide the space resolution control means which controls the space resolution of this video signal so that the value is large, and the space resolution of said video signal may fall.

[Claim 2] said control signal generation means -- the difference of the direction of said video signal of a time-axis -- the difference which detects a value -- a value detection means and this difference -- the difference detected with a value detection means -- the video-signal inverter according to claim 1 characterized by to be constituted so that an absolute value calculation means compute the absolute value of a value, and a conversion means generate said control signal by changing the absolute value computed with this absolute value calculation means based on the predetermined transfer characteristic may provide.

[Claim 3] A delay means to output the controlled system of space resolution, the video signal of the becoming controlled-system pixel, and the video signal of the circumference pixel located around this pixel to coincidence when said space resolution control means is delayed in said video signal, An averaging means to compute the average of the video signal of said controlled-system pixel outputted from this delay means, and the video signal of said circumference pixel, Based on the control signal generated by said control signal generation means, the calculation output of this averaging means, and the video signal of said controlled-system pixel outputted from said delay means by carrying out load addition The video-signal inverter according to claim 1 characterized by being constituted so that a load addition means to output the video signal by which space resolution was controlled may be provided.

[Claim 4] In the video-signal interpolation equipment which generates the interpolation video signal for changing the frequency of the direction of a time-axis of a video signal by interpolation processing From the video signal for generating said interpolation video signal, by linearity interpolation processing of the direction of a time-axis A value is detected. the difference of the direction of a time-axis of a linearity interpolation means to generate said interpolation video signal, and the video signal for generating said interpolation video signal -- this difference -- based on a value with a control signal generation means to generate the control signal for controlling the space resolution of said interpolation video signal the control signal generated by this control signal generation means -- being based -- said difference -- the video-signal interpolation equipment characterized by providing the space resolution control means which controls the space resolution of said interpolation video signal so that the value was large, and the space resolution of said interpolation video signal may fall.

[Claim 5] Said space resolution control means is video-signal interpolation equipment according to claim 4 characterized by being constituted so that the space resolution of said interpolation video signal may be controlled directly.

[Claim 6] Said space resolution control means is video-signal interpolation equipment according to claim 4 characterized by being constituted so that the space resolution of said interpolation video signal may be controlled indirectly by controlling the space resolution of the video signal for generating said interpolation video signal.

[Claim 7] The video signal for generating said interpolation video signal is video-signal interpolation equipment according to claim 6 characterized by being the video signal inputted into said linearity interpolation means.

[Claim 8] The video signal for generating said interpolation video signal is video-signal interpolation equipment according to claim 6 characterized by being the video signal which had the weighting factor of the direction of a time-axis multiplied with said linearity interpolation means.

[Claim 9] Said space resolution control means the input signal of said linearity interpolation means by being delayed A delay means to output the controlled system of space resolution, the video signal of the becoming controlled-system pixel, and the video signal of the circumference pixel located around this pixel to coincidence, An averaging means to compute the average of the video signal of said controlled-system pixel outputted from this delay means, and the video signal of said circumference pixel,

The calculation output of this averaging means and the video signal of said controlled-system pixel outputted from said delay means are based on the control signal outputted from said control signal generation means. It is constituted so that the load addition means which carries out load addition may be provided. Said control signal generation means the difference of the video signal of said controlled-system pixel outputted from said delay means -- the difference of the video signal for generating said interpolation video signal for a value -- the video-signal interpolation equipment according to claim 6 characterized by being constituted so that it may detect as a value.

[Claim 10] In the interlaced-scanning inverter which changes a sequential-scanning video signal with frame frequency smaller than the field frequency of a conversion place into an interlaced-scanning video signal the inter-frame difference of said sequential-scanning signal -- a value -- detecting -- this difference -- based on a value with a control signal generation means to generate the control signal for controlling the space resolution of said sequential-scanning signal the control signal generated by this control signal generation means -- being based -- said difference -- so that a value becomes large, and the space resolution of said sequential-scanning signal may fall By the space resolution control means which controls the space resolution of this sequential-scanning signal, and filtering processing of said sequential-scanning signal to two-dimensional space The interlaced-scanning inverter characterized by generating said interlaced-scanning signal and providing an interlaced-scanning signal generation means to use at least the sequential-scanning signal which had space resolution controlled by said space resolution control means by generation of the video signal of one field.

*** NOTICES ***

JPO and NCIP are not responsible for any

damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the video-signal inverter for realizing the interlaced-scanning inverter for changing the video signal of for example, a CIF method into the video signal of NTSC system, the video-signal interpolation equipment for realizing this interlaced-scanning inverter, and this video-signal interpolation equipment and the above-mentioned interlaced-scanning inverter.

[0002]

[Description of the Prior Art] the field of recent years and telephone communication -- setting -- a sound signal -- ** -- development of the so-called TV phone system which transmits both video signals is furthered. In this TV phone system, the receiving set of dedication is formed and a receiving image is displayed with this receiving set.

[0003] However, generally, this receiving set is small and has the fault that a screen is hard to see. For this reason, in the TV phone system, it considers displaying with the receiving set which uses a receiving image by the television broadcasting system.

[0004] In order to realize this, the interlaced-scanning inverter for changing the video signal of a TV phone system into the video signal of a television broadcasting system is needed.

[0005] That is, generally in the TV phone system, the CIF method is adopted as a television system. On the other hand, in the television broadcasting system, NTSC system is adopted as a television system.

[0006] Here, the video signal of a CIF method is a sequential-scanning signal with 288 pixels long, 360 wide pixels, and a maximum frame frequency of 30Hz. On the other hand, the video signal of NTSC system is an interlaced-scanning signal with 480 pixels long, the side of 720 pixels, a frame frequency [of 30Hz], and a field frequency of 60Hz.

[0007] Therefore, in order to change the video signal of a CIF method into the video signal of NTSC system, the interlaced-scanning inverter for changing a sequential-scanning signal into an interlaced-scanning signal is needed.

[0008] In this case, as an approach of changing a sequential-scanning signal (henceforth a "top dropping sequential-scanning signal") with frame frequency smaller than the field frequency of the interlaced-scanning video signal of a conversion place into an interlaced-scanning signal, there is the approach of of the following (A) and (B) like the video signal of a CIF method, for example.

[0009] (A) Explain these two approaches (A) and (B) below the approach using (Approach B) two-dimensional spatial filter using conversion of frame frequency. First, the approach of (A) is explained.

[0010] This approach changes the frame frequency of a top dropping sequential-scanning signal into the same frequency as the field frequency of the interlaced-scanning signal of a conversion place, and changes each frame of this conversion output into the odd number field and the even number field of a jump video signal by turns.

[0011] Therefore, in order to realize this approach, the inverter of frame frequency is needed. As the conversion approach of frame frequency, the approach used by conversion of television standards can be used.

[0012] This is because it is usually once changed after changing an interlaced-scanning signal into a sequential-scanning signal so that it may be indicated in "a television image information engineering handbook, Ohm-Sha, the 598-599th page, and 1990" (henceforth "reference") when changing frame frequency in a television broadcasting system.

[0013] In order to change the frame frequency of a sequential-scanning signal, it is necessary to newly make the frame (an insufficient frame or wholly frame) which does not exist in time. As this approach, there is the approach of making by inter-frame interpolation processing from the frame before conversion.

[0014] As an approach of using this inter-frame interpolation processing, there are the following two approaches so that it may be indicated by the above-mentioned reference.

[0015] ** Explain these two approach ** and ** below the approach using the approach ** motion amendment using linearity interpolation.

[0016] First, the approach of ** is explained. Drawing 2 is drawing showing the principle of this approach **. In addition, this drawing 2 shows as a representative the case where the sequential-scanning signal

whose frame frequency is 60Hz is changed into the sequential-scanning signal whose number of frame frequency is 50Hz.

[0017] When making the frame which does not exist in time by linearity interpolation from the frame before conversion, this interpolation frame is made by the interpolation frame among the frames before conversion using two frames which exist in a near location in time. For example, in [drawing 2](#), when making frame No.3, these frame No.3 are made using frame No.3 of the frames before conversion, and frame No.4.

[0018] In addition, in the following explanation, the frame located in a front frame and the back in the frame located in front in time to a interpolation frame among the frames before conversion is called back frame. In the above-mentioned example, frame No.3 before conversion become a front frame, and frame No.4 become a back frame.

[0019] When a front frame and a back frame to a interpolation frame generates, the weighting factor of the direction of a time-axis is first multiplied by the video signal of a front frame, and the video signal of a back frame for every pixel. In this case, when the interpolation frame has divided interiorly the time die length between a front frame and a back frame to $m:n$, $n/(m+n)$ is multiplied by the video signal of each pixel of a front frame as a weighting factor, and $m/(m+n)$ is multiplied by the video signal of each pixel of a back frame.

[0020] the above-mentioned example -- interpolation frame No.3 -- front -- frame No.3 -- back -- since the time die length between frame No.4 is divided interiorly to 4:6 -- front -- weighting-factor $6/(4+6)$ multiplies by the video signal of each pixel of frame No.3 -- having -- back -- weighting-factor $4/(4+6)$ is multiplied by the video signal which is each pixel of frame No.4.

[0021] Thus, the video signal of a front frame and the video signal of a back frame which were able to multiply the weighting factor are added for every pixel of the same location. Thereby, the video signal of a interpolation frame is acquired.

[0022] The above is approach ** using linearity interpolation. Next, approach ** using motion amendment is explained. [Drawing 3](#) is drawing showing the principle of this approach **. In addition, this [drawing 2](#) also shows as a representative the case where the sequential-scanning signal whose frame frequency is 60Hz is changed into the sequential-scanning signal whose number of frame frequency is 50Hz.

[0023] It sets to this approach ** and the direction which the image between a front frame and a back frame moved, and magnitude V , i.e., a vector, are first called for for every pixel. This vector V is called a motion vector.

[0024] Next, the video signal of each frame is deviated for every pixel in the value and direction which are specified by the weighting factor mentioned above and motion vector V . In this case, as for the video signal of a front frame, only $V (n/m+n)$ is deviated, and, as for the video signal of a back frame, only $-(m/m+n) V$ is deviated.

[0025] Termination of this processing adds the video signal of the front frame after a deviation, and the video signal of a back frame for every corresponding pixel. Thereby, the video signal of a interpolation frame is searched for.

[0026] The above is approach ** which makes a interpolation frame by motion amendment. Here, when two approach ** mentioned above and ** are compared, by the approach of **, the part by which an image moves has the fault which the duplex vanity of a discontinuous motion (jar KINESU) or a profile which rattled produces. On the other hand, since the approach of ** deviates a video signal according to a motion of an image, such a fault is not produced. Therefore, as an approach of making a interpolation frame by inter-frame interpolation processing, the approach of ** is effective.

[0027] The above is explanation of the approach of (A). Next, the approach of (B) is explained.

[0028] This approach generates the video signal of the odd number field of an interlaced-scanning signal, and the video signal of the even number field directly from a top dropping sequential-scanning signal using two two-dimensional spatial filters.

[0029] [Drawing 4](#) is the block diagram showing the configuration of the important section of the interlaced-scanning inverter which used this approach. In addition, the case where the video signal of a CIF method is changed into the video signal of NTSC system is shown in drawing as a representative.

[0030] In drawing, the video signal S11 of a CIF method, i.e., a top dropping sequential-scanning signal with a frame frequency of 30Hz, is supplied to an input terminal 51. This video signal S11 is supplied to the two-dimensional spatial filter 52 for the 1st field, and the two-dimensional spatial filter 53 for the 2nd field.

[0031] To each frame of an input signal S11, the two-dimensional spatial filter 52 outputs the video signal S12 of the 1st field by giving filtering in two-dimensional space so that the location of the video signal of each pixel of this frame may be the magnitude of the 1 field of an interlaced-scanning signal and may turn into a location of the video signal of each pixel of the 1st field.

[0032] Similarly, to each frame of an input signal S11, the two-dimensional spatial filter 53 outputs the video signal S13 of the 2nd field by giving filtering in two-dimensional space so that the location of the video signal of each pixel of this frame may be the magnitude of the 1 field of an interlaced-scanning signal and may turn into a location of the video signal of each pixel of the 2nd field.

[0033] These two video signals S12 and S13 are supplied to the delay circuit which is not illustrated from output terminals 54 and 55, and are outputted as an interlaced-scanning signal with a field frequency of 60Hz.

[0034]

[Problem(s) to be Solved by the Invention] When it collects above, as an approach of changing a top dropping sequential-scanning signal into an interlaced-scanning signal, there are an approach (A) of using conversion of frame frequency, and an approach (B) using a two-dimensional spatial filter.

[0035] In order to realize the approach of (A), it is necessary to change frame frequency. In order to change frame frequency, it is necessary to newly make a frame. There is a method of using inter-frame interpolation processing among the approaches of newly making a frame. It moves to this approach with approach ** which uses linearity interpolation, and there is approach ** using amendment in it.

[0036] ** Although an approach has the fault which the duplex vanity of jar KINESU or a profile produces into the part by which an image moves, the approach of ** does not have such a fault. Therefore, as an approach using inter-frame interpolation processing, the approach of ** is effective.

[0037] However, there were the following problems in the approach of **, and the approach of (B).

[0038] That is, when making a interpolation frame by the approach of **, the image quality of a interpolation frame is greatly influenced by the detection precision of motion vector V. If the mistaken motion vector will be detected, the video signal of a interpolation frame will collapse partially. Therefore, to use this approach **, it is necessary to detect motion vector V correctly.

[0039] However, it is difficult to detect all motion vector V to accuracy in fact. Therefore, by the approach of **, while generating of the duplex vanity of jar KINESU or a profile can be prevented, the problem that the video signal of a interpolation frame collapses partially newly arises. And in the case of this approach, it has the problem that there is not only a problem such but much computational complexity accompanying detection of motion vector V.

[0040] Moreover, when a top dropping sequential-scanning signal was changed into an interlaced-scanning signal by the approach of (B), it moved and the discontinuous problem which rattled that the so-called jar KINESU occurred was in the profile part by which it moves especially in the image by the acquired interlaced-scanning signal.

[0041] [when it was made that this invention should cope with the above-mentioned situation and makes a interpolation frame] It can contribute to it not being conspicuous and carrying out duplex vanity of jar KINESU or a profile, without causing increase of partial collapse of a video signal or computational complexity. Using a two-dimensional spatial filter, when changing a top dropping sequential-scanning signal into an interlaced-scanning signal, it sets it as the 1st purpose to offer the video-signal inverter which can be contributed to it not being conspicuous and carrying out jar KINESU.

[0042] Moreover, this invention sets it as the 2nd purpose to offer the video-signal interpolation equipment which cannot be conspicuous and can carry out duplex vanity of jar KINESU or a profile, without causing increase of partial collapse of a video signal or computational complexity, when making a interpolation frame.

[0043] Furthermore, using a two-dimensional spatial filter, this invention sets it as the 3rd purpose to offer the interlaced-scanning inverter which cannot be conspicuous and can carry out jar KINESU, when changing a top dropping sequential-scanning signal into an interlaced-scanning signal.

[0044]

[Means for Solving the Problem] In order to attain the 1st purpose of the above, invention concerning claim 1 the difference of the direction of a time-axis of a video signal -- a value -- detecting -- this difference -- based on a value with a control signal generation means to generate the control signal for controlling the space resolution of a video signal the control signal generated by this control signal generation means -- being based -- difference -- the video-signal inverter which consists of a space resolution control means which controls the space resolution of this video signal is offered so that a value is large, and the space resolution of a video signal may fall.

[0045]

[Function] the difference which will be detected with a control signal generation means in the above-mentioned configuration if an image moves -- a value becomes large. Thereby, space resolution is reduced in the part by which the image moved.

[0046] Therefore, the duplex vanity of jar KINESU or a profile can be prevented from being conspicuous, without using a motion vector, if the above-mentioned video-signal inverter is built into the video-signal interpolation equipment which makes a interpolation frame by linearity interpolation processing. The duplex vanity of jar KINESU or a profile can be prevented from being conspicuous, without this causing increase of partial collapse of an image or computational complexity.

[0047] and space resolution -- difference -- since it is controlled to fall so that a value is large, in the small part of a motion, original space resolution is securable. The duplex vanity of jar KINESU or a profile can be prevented from being conspicuous by this, without reducing the space resolution of the whole interpolation frame so much.

[0048] Moreover, if the above-mentioned video-signal inverter is built into the interlaced-scanning inverter

using a two-dimensional spatial filter, an interlaced-scanning signal is generable in the part by which the image moved using the top dropping sequential-scanning signal to which space resolution was reduced. Thereby, in the profile part by which it moves in an image, it cannot be conspicuous and jar KINESU can be carried out.

[0049] and space resolution -- difference -- since it is controlled to fall so that a value is large, in the small part of a motion, original space resolution is securable. Thereby, without reducing the space resolution of the whole image after conversion so much, it cannot be conspicuous and jar KINESU can be carried out.

[0050]

[Example] Hereafter, the example of this invention is explained to a detail, referring to a drawing.

[0051] First, the example of the video-signal interpolation equipment which generates the interpolation video signal for changing the frequency of the direction of a time-axis of a video signal is explained using the video-signal inverter of this invention.

[0052] In addition, by the following explanation, when it is equipment which generates a interpolation video signal for video-signal interpolation equipment to change the frame frequency of a video signal, the case where it is equipment for making the interpolation frame mentioned above is explained as a representative.

[0053] Drawing 1 is the block diagram showing the configuration of the 1st example of such video-signal interpolation equipment.

[0054] The equipment of illustration consists of the linearity interpolation section which generates the video signal of a interpolation frame by linearity interpolation processing, and a video-signal transducer which controls the space resolution of the interpolation video signal generated by this linearity interpolation section.

[0055] The linearity interpolation section consists of multipliers 15 and 16 and an adder 17, and generates the interpolation video signal S5 by carrying out load addition of the video signals S1 and S2 of a back frame and a front frame based on the weighting-factor signal S3 and S4.

[0056] a video-signal transducer consists of a multiplier arithmetic circuit 18 and an adaptation filter 19 -- having -- the difference of video signals S1 and S2 -- the space resolution of the interpolation video signal S5 is controlled directly by detecting a value and controlling the space resolution of a linearity interpolation output based on this detection output. in this case, space resolution -- the above -- difference -- it is controlled to fall, so that the absolute value of a value is large.

[0057] Although the outline configuration of the 1st example of video-signal interpolation equipment is above next, the concrete configuration is explained.

[0058] In drawing 1, the video signal S1 of the back frame used for frame interpolation is inputted into an input terminal 11, and the video signal S2 of the front frame used for frame interpolation is inputted into an input terminal 12. In this case, video signals S1 and S2 are inputted so that the signal of the pixel whose space position is the two [same] may be inputted into the input terminals 11 and 12 corresponding to coincidence.

[0059] The weighting-factor signal S3 for performing linearity interpolation and S4 are supplied to input terminals 13 and 14. The value of this weighting-factor signal S3 and S4 is set up as follows. Now, as shown in drawing 5, a interpolation frame presupposes that it is in the location which divides interiorly the time location of a front frame, and the time location of a back frame to m:n. In this case, the value of the weighting-factor signal S3 is set as $m/(m+n)$, and the value of weighting-factor signal S4 is set as $n/(m+n)$.

[0060] The video signal S1 inputted into the input terminal 11 is supplied to a multiplier 15, and multiplication is carried out to the weighting-factor signal S3 inputted into the input terminal 13. Similarly, the video signal S2 inputted into the input terminal 12 is supplied to a multiplier 16, and multiplication is carried out to weighting-factor signal S4 inputted into the input terminal 14. The output signal of each multipliers 15 and 16 is added with an adder 17. Thereby, it is acquired, the video signal S5, i.e., the interpolation video signal, of a interpolation frame. This interpolation video signal S5 is supplied to the adaptation filter 19.

[0061] It is inputted into input terminals 11 and 12, and the slack video signals S1 and S2 are further supplied to the multiplier arithmetic circuit 18. this multiplier arithmetic circuit 18 -- the difference of two video signals S1 and S2 per pixel -- a value -- detecting -- this difference -- the multiplier signal S6 is generated based on a value. This multiplier signal S6 is supplied to the adaptation filter 19 as a control signal for controlling the space resolution of the interpolation video signal S5.

[0062] The adaptation filter 19 controls the space resolution of the interpolation video signal S5 based on the multiplier signal S6 for every pixel. in this case, space resolution -- like the above -- the difference of video signals S1 and S2 -- it is controlled to fall, so that the absolute value of a value is large.

[0063] The interpolation video signal S5 by which space resolution was controlled is supplied to an output terminal 20 as a true interpolation video signal S7 of a interpolation frame. This interpolation video signal S7 is used as a video signal after frame frequency conversion by being used as a video signal after frame frequency conversion, or being combined with the video signal before frame frequency conversion as it is, if needed.

[0064] the difference of the video signals S1 and S2 which will be this part and will be detected in the

multiplier arithmetic circuit 18 if the part which moves to the image before frame frequency conversion exists in the above-mentioned configuration -- a value becomes large. Thereby, the space resolution of the interpolation video signal S5 outputted from an adder circuit 17 is reduced with the adaptation filter 19. The duplex vanity of the grabbing chatter of a part or a profile which moves stops consequently, being conspicuous in the image of an interpolation frame.

[0065] moreover, the space resolution of the interpolation video signal S5 -- difference -- it is controlled to fall, so that the absolute value of a value is large. Thereby, a motion can secure original space resolution in a small part. Consequently, without reducing the space resolution of the whole interpolation frame so much, the duplex vanity of a part or a profile which moves cannot be conspicuous, and can carry out.

[0066] In addition, as shown in [drawing 6](#), control of the space resolution of the interpolation video signal S5 may be the case where the time location of an interpolation frame is in agreement with the time location of a back frame, or may be performed. This is for preventing deterioration of the image quality resulting from dispersion in each interpolation inter-frame space resolution by equalizing space resolution of each interpolation frame.

[0067] That is, when the time location of an interpolation frame is in agreement with the time location of a back frame, the value of the weighting-factor signal S3 of a back frame is set as 1, and the value of weighting-factor signal S4 of a front frame is set as 0. Therefore, an interpolation frame is in agreement with a back frame in this case.

[0068] Under such a condition, since linearity interpolation is not made substantially, the duplex vanity of a part or a profile does not occur. Therefore, it is not necessary to control space resolution in this case.

[0069] However, if it does in this way, dispersion will arise in the space resolution of the whole frame between the interpolation frames which are not in agreement with the interpolation frame whose time location corresponds with the time location of a back frame. Thereby, the image quality of an interpolation image will deteriorate.

[0070] Then, this example has prevented deterioration of the image quality resulting from dispersion in each interpolation inter-frame space resolution by controlling space resolution, even when the time location of an interpolation frame is in agreement with the time location of a back frame.

[0071] The above is the overall configuration of the 1st example. Next, an example of the concrete configuration of the multiplier arithmetic circuit 18 which constitutes a video-signal transducer, and the adaptation filter 19 is explained.

[0072] First, an example of the concrete configuration of the multiplier arithmetic circuit 18 is explained. [Drawing 7](#) is the block diagram showing an example of the concrete configuration of this circuit 18.

[0073] the multiplier arithmetic circuit 18 of illustration consists of a subtractor 183, an absolute-value circuit 184, and a conversion circuit 185 -- having -- every pixel -- the difference of video signals S1 and S2 -- a value -- detecting -- this difference -- the multiplier signal S6 with the value alpha according to the absolute value of a value is outputted as a control signal of space resolution. Here, alpha is set as $0 \leq \alpha \leq 1$.

[0074] That is, in [drawing 7](#), video signals S1 and S2 are inputted into an input terminal 181, 182, respectively. these video signals S1 and S2 are supplied to a subtractor 183 -- having -- the difference of an error due to curvature and refraction -- a value $(i1-i2)$ is computed.

[0075] this difference -- a value $(i1-i2)$ is absolutely supplied to a circuit 184, and has that absolute value $d (=|i1-i2|)$ computed. This absolute value d is supplied to a conversion circuit 185, and is changed into the multiplier signal S6 with a value alpha. This multiplier signal S6 is supplied to the adaptation filter 19 as a control signal through an output terminal 186.

[0076] In addition, the transfer characteristic of a conversion circuit 185 is set up so that an absolute value d is large, and the requirements of reducing the space resolution of the interpolation video signal S5 may be satisfied. The transfer characteristic with which this requirement is filled becomes settled in relation with the configuration of the adaptation filter 19. Therefore, this transfer characteristic is explained in the place of explanation of the following adaptation filter 19.

[0077] Next, an example of the concrete configuration of the adaptation filter 19 is explained. [Drawing 8](#) is the block diagram showing an example of the concrete configuration of this filter 19.

[0078] The adaptation filter 19 of illustration generates the true interpolation video signal S7 by consisting of a pixel signal store circuit 193, a multiplier store circuit 194, and an adaptation filter arithmetic circuit 195, calculating the average of the interpolation video signal S5 for every pixel, and carrying out load addition of this average and the original value based on the multiplier signal S6.

[0079] That is, in [drawing 8](#), the interpolation video signal S5 outputted from the adder 17 of [drawing 1](#) is inputted into an input terminal 191. On the other hand, the multiplier signal S6 outputted from the multiplier arithmetic circuit 18 of [drawing 1](#) is inputted into an input terminal 192.

[0080] The interpolation video signal S5 inputted into the input terminal 191 is supplied to the pixel signal store circuit 193. the interpolation video signal S5 of the pixel which this pixel signal store circuit 193 has two or more delay taps, and serves as a controlled system of space resolution (0), and the interpolation

video signal S5 of the pixel located around this controlled-system pixel (i) -- $\{i = -1, 2, \dots, n\}$ is outputted to coincidence. The interpolation video signal S5 of these controlled-systems pixel (0) and the interpolation video signal S5 of a circumference pixel (i) are supplied to the adaptation filter arithmetic circuit 195.

[0081] On the other hand, the multiplier signal S6 of the controlled-system pixel supplied to the input terminal 192 (0) is supplied to the adaptation filter arithmetic circuit 195, after the multiplier store circuit 194 is supplied and only the same time amount as the interpolation video signal S5 of this pixel (0) is delayed.

[0082] The adaptation filter arithmetic circuit 195 generates the true interpolation video signal S7 of a controlled-system pixel (0) by calculating the interpolation video signal S5 (0) of the individual supplied from the pixel signal store circuit 193 (n+1), and the average of S5 (i), and carrying out load addition of the interpolation video signal S5 of this average and a controlled-system pixel (0) based on that multiplier signal S6 (0).

[0083] The above is the overall configuration of the adaptation filter 19. Next, an example of the concrete configuration of the pixel signal store circuit 193 which constitutes this filter 19, the multiplier signal store circuit 194, and the adaptation filter arithmetic circuit 195 is explained.

[0084] First, an example of the concrete configuration of the pixel signal store circuit 193 is explained. This circuit outputs the interpolation video signal S5 (0) and the interpolation video signal S5 of a circumference pixel of a controlled-system pixel (i) to coincidence like the above. Drawing 9 is drawing showing the example of a setting of a circumference pixel.

[0085] drawing -- setting -- P0 -- a controlled-system pixel -- it is -- P_i -- $\{i = -1, 2, \dots, n\}$ is a circumference pixel. Five examples of a setting are shown in drawing. The example shown in (a) sets up the block which consists of s pixels long centering on the controlled-system pixel P0, and t pixels wide, and is made to make a circumference pixel the pixel P_i of the individual (st-1) located in this block here.

[0086] Since the interpolation video signal S5 of these pixels P0 and P_i (0) and S5 (i) are outputted to coincidence, the pixel signal store circuit 193 is constituted by combining suitably 1H delay circuit delayed by 1 horizontal-scanning Rhine in the interpolation video signal S5, and the 1-pixel delay circuit delayed by 1 pixel.

[0087] For example, when the circumference pixel P_i is set up like drawing 9 (a), the pixel signal store circuit 193 consists of 1H delay circuit of an individual (s-1), and a 1-pixel delay circuit of sx (t-1) individual. In addition, since it is s= 5 and t= 5 in the case of drawing 9 (a), the pixel signal store circuit 193 is constituted by four 1H delay circuits and 20 1-pixel delay circuits.

[0088] Drawing 10 is the block diagram showing the configuration in this case. In drawing, the interpolation video signal S5 supplied to the input terminal 191 is 1-horizontal-scanning-Rhine[every]-delayed one by one by four 1H delay circuit 1A (1) by which series connection was carried out - 1A (4). Thereby, the interpolation video signal S5 for five lines is acquired by coincidence.

[0089] Moreover, every 1 pixel of interpolation video signals S5 of each horizontal scanning Rhine is delayed one by one by four 1-pixel delay circuit 2A (y= 0, 1, ..., 4, x= 0, and {1, ..., 3}) (y, x) by which series connection was carried out. Thereby, video-signal S5(0) S5(1) -S5(24) for 25 pixels is outputted to coincidence.

[0090] In this case, the video signal S5 of the controlled-system pixel P0 (0) is outputted from 1-pixel delay circuit 2A (2 1), and the video signal S5 of the circumference pixel P1 (1) is outputted from 1-pixel delay circuit 2A (4 3).

[0091] The above is an example of the concrete configuration of the pixel signal store circuit 193. Next, an example of the concrete configuration of the multiplier store circuit 194 is explained. In addition, the following explanation explains as a representative the case where it is what is shown in drawing 10 which the configuration of the picture signal store circuit 193 mentioned above.

[0092] The multiplier store circuit 194 must output the multiplier signal S6 of the controlled-system pixel P0 (0) to the timing as the timing outputted from the pixel signal store circuit 193 that the interpolation video signal S5 of this pixel P0 (0) is the same. As for the multiplier store circuit 194, in other words, only the same time amount as the interpolation video signal S5 of this pixel P0 (0) must be delayed in the multiplier signal S6 of the controlled-system pixel P0 (0).

[0093] Therefore, the multiplier store circuit 194 is constituted by two 1H delay circuit 1B (1), 1B (2) and two 1-pixel delay circuit 2Bs (2 0), and 2B (2 1) as shown in drawing 11. Here, 1H delay circuit 1B (1) and 1B (2) are equivalent to 1of drawing 10 H delay circuit 1A (1), and 1A (2), respectively, and 1-pixel delay circuit 2B (2 0) and 2B (2 1) are equivalent to the 1-pixel delay circuits 2A (2 0) and 2A (2 1) of drawing 10.

[0094] As for the multiplier signal S6 of the controlled-system pixel P0 supplied to the input terminal 192 (0), according to such a configuration, only the time amount for +2 pixels of 2 horizontal-scanning Rhine is delayed like the interpolation video signal S5 of this pixel P0 (0). Thereby, the interpolation video signal S5 (0) and the multiplier signal S6 (0) of the controlled-system pixel P0 are supplied to the adaptation filter arithmetic circuit 195 at coincidence.

[0095] The above is an example of the concrete configuration of the multiplier store circuit 194. Next, an example of the concrete configuration of the adaptation filter arithmetic circuit 195 is explained. Drawing 12 is the block diagram showing an example of the concrete configuration of the adaptation filter arithmetic circuit 195.

[0096] The adaptation filter arithmetic circuit 195 of illustration Averaging circuit 1C and subtractor 2C, Consist of multipliers 3C and 4C and adder 5C, and the average b of interpolation video-signal $S5(0)$ - $S5(n)$ of the individual supplied from the pixel signal store circuit 193 ($n+1$) is calculated for every pixel. A video signal $S7(0)$ is generated by carrying out load addition of this average b and the value a_0 of the video signal $S5$ of the controlled-system pixel $P0(0)$ based on the multiplier signal $S6(0)$.

[0097] namely, the video signal $S5$ of the controlled-system pixel $P0$ outputted from the pixel signal store circuit 193 in drawing 12 (0) and video-signal [of n circumference pixels $P1-Pn$] $S5(1) - S5(n)$ is supplied to averaging circuit 1C, and has the average b computed according to a degree type (1)

[0098]

$$b = \{1/(n+1)\} \sum_{i=0}^n S5(i) \quad (1)$$

however, $i = 0, 1, \dots, n$ -- the multiplier signal $S6$ of this, simultaneously the controlled-system pixel $P0$ outputted from the multiplier store circuit 194 (0) is supplied to subtractor 2C and multiplier 4C. In subtractor 2C, the processing which reduces the value α of the multiplier signal $S6(n)$ from 1 is made. Thereby, $(1-\alpha)$, a signal with a value is acquired. This signal is supplied to multiplier 3C, and multiplication is carried out to the interpolation video signal $S5$ of the controlled-system pixel $P0(0)$. thereby -- $a(1-\alpha)$ -- a signal with a value is acquired.

[0099] On the other hand, the multiplication of the multiplier signal $S6(0)$ supplied to multiplier 4C is carried out to the average signal outputted from averaging circuit 1C. The signal which has by this the value αb Becoming is acquired. This signal is added with the output signal of multiplier 3C in adder 5C. The signal which has the value a as shown by the degree type (2) by this is acquired.

[0100]

$$a = (1-\alpha) a_0 + \alpha b \quad (2)$$

This signal is supplied to an output terminal 20 as a true interpolation video signal $S7$ of the controlled-system pixel $P0$.

[0101] If it is set to a_0 and α becomes large when α is 0, the value a of a video signal $S7$ will decrease in the rate of a_0 , and its rate of b will increase, so that clearly from a formula (2). And a will be set to b if α is set to 1.

[0102] That is, the adaptation filter arithmetic circuit 195 is committed so that α is large, and the space resolution of the interpolation video signal $S5$ may be lowered. on the other hand -- this space resolution -- like the above -- the difference of video signals $S1$ and $S2$ -- it is reduced, so that the absolute value d of a value ($i1-i2$) is large.

[0103] As mentioned above, the transfer characteristic of a conversion circuit 185 shown in drawing 7 must be a property which enlarges α , so that an absolute value d is large. As such the transfer characteristic, although many things are considered, several of the examples are shown in drawing 13.

[0104] According to this example explained in full detail above, the following effectiveness is acquired.

[0105] (1) first -- the difference of the video signals $S1$ and $S2$ of a front frame and a back frame -- a value -- detecting -- this difference -- without using a motion vector, since the space resolution of the interpolation video signal $S5$ generated by linearity interpolation was controlled based on the value, it cannot be conspicuous and duplex vanity of jar KINESU in a part or a profile to which an image moves can be carried out. (2) which cannot be conspicuous and can carry out duplex vanity of jar KINESU or a profile, without this causing increase of partial collapse of a video signal or computational complexity -- again -- difference -- since it was made to reduce space resolution so that the absolute value of a value was large, a motion can obtain original space resolution in a small part. Thereby, without reducing the image quality of the whole interpolation frame, it cannot be conspicuous and duplex vanity of jar KINESU or a profile can be carried out.

[0106] (3) Moreover, since space resolution was controlled even if it was the same case as the time location of the frame before the time location of a interpolation frame changing, space resolution of each interpolation frame can be equalized. Thereby, deterioration of the image quality resulting from dispersion in interpolation inter-frame space resolution can be prevented.

[0107] Drawing 14 is the block diagram showing the configuration of the 2nd example of the interpolation signal generation equipment of this invention. In addition, in drawing 14, the same sign is given to the part which achieves the same function as drawing 1, and detailed explanation is omitted into it.

[0108] In the previous example, the adaptation filter 19 was formed in the output stage of the linearity interpolation section, and the case where the space resolution of the interpolation video signal $S5$ acquired by linearity interpolation processing was controlled directly was explained.

[0109] On the other hand, this example controls the space resolution of the interpolation video signal $S5$ indirectly by preparing an adaptation filter in the input stage of the linearity interpolation section, and controlling the space resolution of video signals $S1$ and $S2$.

[0110] That is, in drawing 14, 31 (1) is an adaptation filter which is inserted between an input terminal 11

and a multiplier 15, and controls the space resolution of a video signal S1 based on the multiplier signal S6. Similarly, 31 (2) is an adaptation filter which is inserted between an input terminal 12 and a multiplier 16, and controls the space resolution of a video signal S2 based on the multiplier signal S6.

[0111] The adaptation filter 31 (1) consists of a pixel signal store circuit 311 (1), a multiplier store circuit 312, and an adaptation filter arithmetic circuit 313 (1) like the adaptation filter 19 of [drawing 1](#) . Similarly, the adaptation filter 31 (2) consists of a pixel signal store circuit 311 (2), a multiplier store circuit 312, and an adaptation filter arithmetic circuit 313 (2). However, the multiplier store circuit 312 is made to serve a double purpose by two adaptation filters 31 (1) and 31 (2) in this case.

[0112] Also in such a configuration, since the space resolution of the interpolation video signal S5 is controlled as a result by controlling the space resolution of video signals S1 and S2, the same effectiveness as a previous example can be acquired.

[0113] In addition, in this example, since the multiplier store circuit 312 was made to serve a double purpose by two filters 31 (1) and 31 (2) in preparing two adaptation filters 31 (1) and 31 (2), there is an advantage which can realize these on a scale of few circuits.

[0114] [Drawing 15](#) is the block diagram showing the configuration of the 3rd example of the video-signal interpolation equipment of this invention. In addition, in [drawing 15](#) , the same sign is given to the part which achieves the same function as previous [drawing 14](#) , and detailed explanation is omitted into it.

[0115] In controlling indirectly the space resolution of the interpolation video signal S5 by the 2nd previous example by controlling the space resolution of video signals S1 and S2, the case where the space resolution of the video signals S1 and S2 before multiplying a weighting factor was controlled was explained.

[0116] on the other hand, this example controlled [having made and] the space resolution of the video signals S1 and S2 after multiplying a weighting factor. That is, the adaptation filter 31 (1) and 31 (2) are prepared in the output stage instead of an input stage of multipliers 15 and 16.

[0117] Also in such a configuration, like the 2nd previous example, since the space resolution of the interpolation video signal S5 is indirectly controllable, the same effectiveness as this 1st example can be acquired.

[0118] [Drawing 16](#) is the block diagram showing the configuration of the 4th example of the video-signal interpolation equipment of this invention. In addition, in [drawing 16](#) , the same sign is given to previous drawing 1 and the part which achieves the same function mostly, and detailed explanation is omitted into it.

[0119] The 1st, 2nd, and 3rd previous example explained the case where the multiplier signal S6 was generated based on the video signals S1 and S2 supplied by input terminals 11 and 12.

[0120] However, it sets in the configuration which controls the space resolution of the interpolation video signal S5 by controlling the space resolution of video signals S1 and S2 like the 2nd and 3rd example. The video signal of the adaptation filter 31 (1), the pixel signal store circuit 311 (1) of 31 (2), and the controlled-system pixel P0 outputted from 311 (2) is substantially [as the video signals S1 and S2 supplied to input terminals 11 and 12] the same.

[0121] So, in this example, the multiplier signal S6 is generated based on the video signal of the pixel signal store circuit 311 (1) and the controlled-system pixel P0 outputted from 311 (2).

[0122] In addition, although the case where this example was applied to the configuration of [drawing 14](#) was explained to [drawing 16](#) , of course, it is applicable also to the configuration of [drawing 15](#) .

[0123] Since the output timing of the multiplier signal S6 of the controlled-system pixel P0 outputted from the multiplier arithmetic circuit 18 (0) can be made in agreement with the output timing of the video signal of the pixel signal store circuit 311 (1) and the controlled-system pixel P0 outputted from 311 (2) according to such a configuration, the advantage that the multiplier store circuit 312 for the multiplier signal S6 (0) being delayed is omissible is acquired.

[0124] The above is the example of video-signal interpolation equipment about this invention. Next, the example of the interlaced-scanning inverter which changes a top dropping sequential-scanning signal into an interlaced-scanning signal is explained using the video-signal inverter of this invention.

[0125] [Drawing 17](#) is the block diagram showing the configuration of the 1st example of this interlaced-scanning inverter. In addition, the following explanation explains as a representative the case where the top dropping sequential-scanning signal of a CIF method is changed into the interlaced-scanning signal of NTSC system for this invention.

[0126] The equipment of illustration consists of a video-signal transducer which controls the space resolution of the top dropping sequential-scanning signal S11, and the filter section which generates an interlaced-scanning signal based on this control output.

[0127] a video-signal transducer consists of an one-frame delay circuit 41, a multiplier arithmetic circuit 42, and an adaptation filter 43 -- having -- the difference of the top dropping sequential-scanning signal S11 of the present frame and a front frame -- a value -- detecting -- this difference -- based on a value, the space resolution of the top dropping sequential-scanning signal S11 of the present frame is controlled.

[0128] Like [drawing 4](#) , the filter section consists of two two-dimensional spatial filters 52 and 53, and generates the video signals S12 and S13 of the 1st field and the 2nd field based on the top dropping

sequential-scanning signal S15 by which space resolution was controlled.

[0129] That is, in drawing 17, the top dropping sequential-scanning signal S11 of the CIF method supplied input terminal 51 is supplied to the one-frame delay circuit 41, the multiplier arithmetic circuit 42, and the adaptation filter 43. After the top dropping sequential-scanning signal S11 supplied to the one-frame delay circuit 41 is delayed by one frame, it is supplied to the multiplier arithmetic circuit 42.

[0130] the difference of the top dropping sequential-scanning signal S11 of the present frame with which the multiplier arithmetic circuit 42 is supplied from an input terminal 51 for every pixel, and the top dropping sequential-scanning signal S11 of the front frame supplied from the one-frame delay circuit 41 -- a value is detected and the multiplier signal S14 with the value alpha according to the absolute value is outputted. This multiplier signal S14 is supplied to the adaptation filter 43 as a control signal of space resolution.

[0131] The adaptation filter 43 controls the space resolution of the top dropping sequential-scanning signal S11 of the present frame supplied from an input terminal 51 for every pixel based on the multiplier signal S14 supplied from the multiplier arithmetic circuit 42.

[0132] if this control is put in another way so that alpha is large -- difference -- it is made as [fall / space resolution], so that the absolute value of a value is large. Thereby, space resolution falls in the profile part by which it moves in an image. Moreover, extent of this fall becomes so large that the magnitude of a motion is large.

[0133] The top dropping sequential-scanning signal S15 acquired by this control is supplied to the two-dimensional spatial filters 52 and 53. Thereby, the video signal S12 of the 1st field of the interlaced-scanning signal of NTSC system and the video signal S13 of the 2nd field are generated.

[0134] In addition, since the configuration of the multiplier arithmetic circuit 42 and the adaptation filter 43 may be the same as what for example, video-signal interpolation equipment explained by the way, it omits detailed explanation here.

[0135] According to this example explained in full detail above, the following effectiveness can be acquired.

[0136] (1) Since the space resolution of the top dropping sequential-scanning signal S11 is controlled and the interlaced-scanning signal was first generated from this control output beforehand, jar KINESU can be prevented from being conspicuous in the profile part by which it moves in an image.

[0137] (2) moreover, difference -- since it was made to reduce space resolution so that the absolute value of a value became large, a motion can obtain original space resolution in a small part. Thereby, without reducing the image quality of the whole frame after conversion, it cannot be conspicuous and jar KINESU can be carried out.

[0138] Drawing 18 is the block diagram showing the configuration of the 2nd example of the interlaced-scanning conversion circuit of this invention.

[0139] The 1st previous example explained the case where both the video signal S12 of the 1st field and the video signal S13 of the 2nd field were generated from the top dropping sequential-scanning signal S15 by which space resolution was controlled.

[0140] On the other hand, in this example, only the video signal of one of the fields is generated from such a top dropping sequential-scanning signal S15, and the video signal of the field of another side is generated from the top dropping sequential-scanning signal S11 by which space resolution is not controlled.

[0141] In addition, although the case where generate the video signal S12 of the 1st field from the top dropping sequential-scanning signal S11, and the video signal S13 of the 2nd field is generated from the top dropping sequential-scanning signal S15 is shown in drawing 18 as a representative, this thing that may be reverse is natural.

[0142] Also in such a configuration, since the space resolution of the profile part which moves can be reduced beforehand, the same effectiveness as a previous example can be acquired.

[0143] As mentioned above, although some examples of this invention were explained, this invention is not limited to an example which was mentioned above.

[0144] (1) a previous example -- the difference of a video signal -- the inter-frame difference as a value -- although the case where a value was detected was explained -- this invention -- the difference of the direction of a time-axis -- if it is what detects a value -- the difference of what kind of time interval -- a value may be detected. Therefore, this invention is applicable not only to the video-signal interpolation equipment for generating a interpolation frame but the video-signal interpolation equipment for generating for example, the interpolation field.

[0145] (2) moreover -- a previous example -- a pixel unit -- the difference of the direction of a time-axis of a video signal -- the predetermined block unit which this invention becomes from two or more pixels although the case where a value was detected was explained -- difference -- you may make it detect a value

[0146] (3) Further, in the previous example, although the case where this invention was applied to the jump inverter which changes the top dropping sequential-scanning signal of a CIF method into the interlaced-scanning signal of NTSC system was explained, this invention is applicable also to conversion

of the signal of methods other than this.

[0147] (4) In addition, this invention of various deformation implementation being variously possible in the range which does not deviate from that summary is natural.

[0148]

[Effect of the Invention] Without causing increase of partial collapse of a video signal or computational complexity according to this invention, when making a interpolation frame as explained in full detail above, it can contribute to it not being conspicuous and carrying out duplex vanity of jar KINESU or a profile, and when changing a top dropping sequential-scanning signal into an interlaced-scanning signal using a two-dimensional spatial filter, the video-signal inverter which can be contributed to control of jar KINESU can be offered.

[0149] Moreover, the video-signal interpolation equipment which cannot be conspicuous and can carry out duplex vanity of jar KINESU or a profile can be offered, without according to this invention, causing that of increase of partial collapse of a video signal or computational complexity, when making a interpolation frame.

[0150] Furthermore, according to this invention, using a two-dimensional spatial filter, when changing a top dropping sequential-scanning signal into an interlaced-scanning signal, the interlaced-scanning inverter which cannot be conspicuous and can carry out jar KINESU can be offered.